

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2001年 4月 6日

出 願 番 号

Application Number: 特願2001-108603

[ST.10/C]:

[JP2001-108603]

出 願 人

Applicant(s):

株式会社日立製作所
日立北海セミコンダクタ株式会社

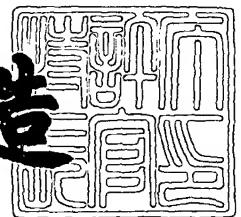
Serial No: 10/086,717
Filed: 03/04/03
Inventor: S. Nakamura

H-1034

2002年 3月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3018657

【書類名】 特許願

【整理番号】 H01003061

【提出日】 平成13年 4月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60

【発明者】

【住所又は居所】 北海道亀田郡七飯町字中島 1 4 5 番地 日立北海セミ
コンダクタ株式会社内

【氏名】 中村 滋

【発明者】

【住所又は居所】 北海道亀田郡七飯町字中島 1 4 5 番地 日立北海セミ
コンダクタ株式会社内

【氏名】 後藤 正克

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233594

【氏名又は名称】 日立北海セミコンダクタ株式会社

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 主面および裏面を有しており、前記主面上に複数の電極を有するとともに、前記裏面上に複数の外部電極を有する配線基板と、

主面および裏面を有しており、前記主面上に複数の電極と複数の半導体素子とを有する第 1 の半導体チップと、

主面および裏面を有しており、前記主面上に複数の電極と複数の半導体素子とを有するとともに、前記第 1 の半導体チップより薄い第 2 の半導体チップと、

前記配線基板の主面上に形成されており、前記第 1 および第 2 の半導体チップを封止する樹脂封止体とを有する半導体装置であって、

前記第 1 の半導体チップは、前記配線基板の主面上に前記第 1 の半導体チップの複数の電極が前記配線基板の複数の電極と対向するように、前記第 1 の半導体チップの主面と前記配線基板の主面とが向かい合って配置されており、

前記第 2 の半導体チップは、前記配線基板の主面上に前記第 1 の半導体チップを介して配置されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置であって、前記第 1 および第 2 の半導体チップは、接着材を介してお互いの裏面が向かい合って前記配線基板の主面上に配置されていることを特徴とする半導体装置。

【請求項 3】 請求項 2 記載の半導体装置であって、前記第 2 の半導体チップの複数の電極と、前記配線基板の複数の電極とのそれぞれを電氣的に接続する複数のワイヤを有することを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置であって、前記第 1 の半導体チップの複数の電極は、前記配線基板の複数の電極と圧接していることを特徴とする半導体装置。

【請求項 5】 請求項 4 記載の半導体装置であって、前記第 1 の半導体チップの主面と、前記配線基板の主面との間は接着材を介して固定されていることを特徴とする半導体装置。

【請求項 6】 請求項 1 記載の半導体装置であって、前記第 1 の半導体チッ

プのバス周波数は、前記第2の半導体チップのバス周波数よりも大きいことを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置であって、前記第1の半導体チップはロジックチップであり、前記第2の半導体チップはメモリチップであることを特徴とする半導体装置。

【請求項8】 (a) 主面上に複数の電極を有する配線基板を準備する工程と、

(b) 主面および裏面を有しており、前記主面上に複数の電極と複数の半導体素子とを有する第1の半導体チップを準備する工程と、

(c) 主面および裏面を有しており、前記主面上に複数の電極と複数の半導体素子とを有するとともに、前記第1の半導体チップより薄い第2の半導体チップを準備する工程と、

(d) 前記第1の半導体チップの主面を前記配線基板の主面に向かい合わせて、かつ前記第1の半導体チップの複数の電極が前記配線基板の複数の電極と対向するように、前記第1の半導体チップを前記配線基板の主面上に配置する工程と、

(e) 前記(d)工程後に前記第1の半導体チップの裏面に圧力を加え、前記第1の半導体チップの複数の電極と前記配線基板の複数の電極とを電氣的に接続する工程と、

(f) 前記(e)工程後に、前記第1の半導体チップの裏面上に前記第2の半導体チップを、前記第1の半導体チップの裏面と前記第2の半導体チップの裏面とが接着材を介して向かい合う様に前記(e)工程時に加えた圧力より小さな圧力を加えて配置する工程と、

(g) 前記第2の半導体チップの複数の電極と前記配線基板の複数の電極とを複数のワイヤを介して電氣的に接続する工程と、

(h) 前記第1、第2の半導体チップおよび前記複数のワイヤを封止する樹脂封止体を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法であって、前記(e)工程時に、前記第1の半導体チップに圧力と同時に熱を加えることを特徴とする

半導体装置の製造方法。

【請求項 1 0】 請求項 9 記載の半導体装置の製造方法であって、前記（e）工程時に加えた熱によって、前記第 1 の半導体チップの主面と前記配線基板の主面との間で熱硬化性樹脂を硬化させ、前記熱硬化性樹脂を介して前記第 1 の半導体チップを前記配線基板の主面上に固定することを特徴とする半導体装置の製造方法。

【請求項 1 1】 請求項 8 記載の半導体装置の製造方法であって、前記（e）工程時に、前記第 1 の半導体チップに圧力と同時に超音波を加えることを特徴とする半導体装置の製造方法。

【請求項 1 2】 請求項 1 1 記載の半導体装置の製造方法であって、前記第 1 の半導体チップの電極に突起電極として金バンプが形成され、前記（e）工程時に、前記第 1 の半導体チップに圧力と同時に超音波を加えて、超音波金—金接続によって前記第 1 の半導体チップと前記配線基板とを接続することを特徴とする半導体装置の製造方法。

【請求項 1 3】 請求項 8 記載の半導体装置の製造方法であって、前記第 1 の半導体チップの複数の電極のそれぞれは、前記第 1 の半導体チップの主面上に形成されたパッドと、前記パッド上に配置された突起電極とによって構成されることを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 8 記載の半導体装置の製造方法であって、前記（h）工程後に、前記配線基板の主面と反対側の裏面上に、前記配線基板の複数の電極と電気的に接続する複数の外部電極である突起電極を形成する工程をさらに有することを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 8 記載の半導体装置の製造方法であって、前記（e）工程と（f）工程の間にさらに、

（i）主面および裏面を有しており、前記主面上に複数の電極と複数の半導体素子とを有する第 3 の半導体チップを準備する工程と、

（j）前記第 3 の半導体チップの主面を前記配線基板の主面に向かい合わせて、かつ前記第 3 の半導体チップの複数の電極が前記配線基板の複数の電極と対向するように、前記第 3 の半導体チップを前記配線基板の主面上に配置する工程と

(k) 前記(j)工程後に前記第3の半導体チップの裏面に圧力を加え、前記第3の半導体チップの複数の電極と前記配線基板の複数の電極とを電氣的に接続する工程とを有することを特徴とする半導体装置の製造方法。

【請求項16】 請求項15記載の半導体装置の製造方法であって、前記(k)工程後にさらに、

(l) 主面および裏面を有しており、前記主面上に形成された複数の電極と複数の半導体素子とを有するとともに、前記第3の半導体チップより薄い第4の半導体チップを準備する工程と、

(m) 前記第3の半導体チップの裏面上に前記第4の半導体チップを、前記第3の半導体チップの裏面と前記第4の半導体チップの裏面とが接着材を介して向かい合う様に前記(k)工程時に加えた圧力よりも小さな圧力を加えて配置する工程と、

(n) 前記第4の半導体チップの複数の電極と前記配線基板の複数の電極とを複数のワイヤを介して電氣的に接続する工程とを有することを特徴とする半導体装置の製造方法。

【請求項17】 (a) 互いに向かい合う第1および第2の側面と、前記第1および第2の側面と接しており、互いに向かい合う第3および第4の側面を有するキャビティ、および前記第1の側面上に形成された樹脂注入口を持つ金型を準備する工程と、

(b) 主面を有する配線基板、前記配線基板の主面上に固定された第1の半導体チップ、前記第1の半導体チップの上に固定された第2の半導体チップを準備する工程と、

(c) 前記配線基板、前記第1および第2の半導体チップを前記キャビティの内部に配置する工程と、

(d) 前記(c)工程後、前記樹脂注入口より樹脂を注入して、前記第1および第2の半導体チップを封止する工程とを有する半導体装置の製造方法であって

前記(c)工程において、前記キャビティの第3の側面と平行な断面において

、前記第 1 の半導体チップの長さは、前記第 2 の半導体チップの長さよりも長くなるように、前記配線基板、第 1 および第 2 の半導体チップを配置することを特徴とする半導体装置の製造方法。

【請求項 1 8】 請求項 1 7 記載の半導体装置の製造方法であって、前記（c）工程において、前記キャビティの第 1 の側面と平行な断面において、前記第 1 の半導体チップの長さは、前記第 2 の半導体チップの長さよりも短くなるように、前記配線基板、前記第 1 および第 2 の半導体チップを配置することを特徴とする半導体装置の製造方法。

【請求項 1 9】 請求項 1 7 記載の半導体装置の製造方法であって、前記金型は、前記第 2 の側面上に形成された空気孔を有することを特徴とする半導体装置の製造方法。

【請求項 2 0】 （a）互いに向かい合う第 1 および第 2 の側面と、前記第 1 および第 2 の側面と接しており、互いに向かい合う第 3 および第 4 の側面を有するキャビティ、および前記第 1 の側面上に形成された複数の樹脂注入口を持つ金型を準備する工程と、

（b）主面を有するとともに複数のデバイス領域が形成された配線基板、前記配線基板の複数のデバイス領域のそれぞれに固定された第 1 の半導体チップ、前記第 1 の半導体チップ上に固定された第 2 の半導体チップを準備する工程と、

（c）前記配線基板、前記複数の第 1 および第 2 の半導体チップを前記キャビティの内部に配置して前記複数のデバイス領域を前記キャビティによって一括で覆う工程と、

（d）前記（c）工程後、それぞれのデバイス領域に対応した複数の樹脂注入口より樹脂を注入して、前記複数の第 1 および第 2 の半導体チップを一括で封止する工程とを有する半導体装置の製造方法であって、

前記（c）工程において、前記キャビティの第 3 の側面と平行な断面において、それぞれの前記第 1 の半導体チップの長さは、前記第 1 の半導体チップに積層された前記第 2 の半導体チップの長さよりも長くなるように、前記配線基板、前記複数の第 1 および第 2 の半導体チップを配置することを特徴とする半導体装置の製造方法。

【請求項 2 1】 (a) 互いに向かい合う第 1 および第 2 の側面と、前記第 1 および第 2 の側面と接しており、互いに向かい合う第 3 および第 4 の側面を有するキャビティ、および前記第 1 の側面上に形成された樹脂注入口を持つ金型を準備する工程と、

(b) 主面を有する配線基板、前記配線基板の主面上に接着材を介して固定された第 1 の半導体チップ、前記第 1 の半導体チップの上に固定された第 2 の半導体チップを準備する工程と、

(c) 前記配線基板、前記第 1 および第 2 の半導体チップを前記キャビティの内部に配置する工程と、

(d) 前記 (c) 工程後、前記樹脂注入口より樹脂を注入して、前記第 1 および第 2 の半導体チップを封止する工程とを有する半導体装置の製造方法であって、

前記 (b) 工程において、前記第 2 の半導体チップは、前記第 1 の半導体チップの外周より平面的に突出する部分を有しており、前記第 2 の半導体チップの突出する部分と前記配線基板の主面との間は、前記接着材によって充填されていることを特徴とする半導体装置の製造方法。

【請求項 2 2】 請求項 2 1 記載の半導体装置の製造方法であって、前記 (d) 工程において、前記樹脂を注入する際、前記樹脂が硬化する前に樹脂に圧力を加えることを特徴とする半導体装置の製造方法。

【請求項 2 3】 (a) 互いに向かい合う第 1 および第 2 の側面と、前記第 1 および第 2 の側面と接しており、互いに向かい合う第 3 および第 4 の側面を有するキャビティ、および前記第 1 の側面上に形成された樹脂注入口を持つ金型を準備する工程と、

(b) 主面を有する配線基板、前記配線基板の主面上に接着材を介して固定された第 1 の半導体チップ、前記第 1 の半導体チップの上に固定された第 2 の半導体チップを準備する工程と、

(c) 前記配線基板、前記第 1 および第 2 の半導体チップを前記キャビティの内部に配置する工程と、

(d) 前記 (c) 工程後、前記樹脂注入口より樹脂を注入して、前記第 1 およ

び第 2 の半導体チップを封止する工程とを有する半導体装置の製造方法であって

前記 (b) 工程において、前記第 2 の半導体チップは、前記第 1 の半導体チップの外周より、前記キャビティの第 2 の側面に向かって突出する部分を有しており、前記第 2 の半導体チップの突出する部分と前記配線基板の主面との間は、前記接着材によって充填されていることを特徴とする半導体装置の製造方法。

【請求項 2 4】 請求項 2 3 記載の半導体装置の製造方法であって、前記 (d) 工程において、前記樹脂を注入する際、前記樹脂が硬化する前に樹脂に圧力を加えることを特徴とする半導体装置の製造方法。

【請求項 2 5】 (a) 主面および前記主面上に形成された第 1 および第 2 の複数の電極を有する配線基板を準備する工程と、

(b) 主面および前記主面上に形成された複数の突起電極、複数の半導体素子をそれぞれ有する複数の半導体チップよりなる第 1 の半導体チップ群および第 2 の半導体チップ群を準備する工程と、

(c) 前記配線基板の第 1 の複数の電極上に第 1 の接着材を配置する工程と、

(d) 前記 (c) 工程後に、前記第 1 の半導体チップ群を構成する複数の半導体チップを熱圧着し、前記第 1 の接着材を介して前記配線基板の主面上に固定するとともに、前記第 1 の半導体チップ群を構成する複数の半導体チップそれぞれの複数の突起電極と、前記配線基板の第 1 の複数の電極とを電氣的に接続する工程と、

(e) 前記 (d) 工程後に、前記配線基板の第 2 の複数の電極上に第 2 の接着材を配置する工程と、

(f) 前記 (e) 工程後に、前記第 2 の半導体チップ群を構成する複数の半導体チップを熱圧着し、前記第 2 の接着材を介して前記配線基板の主面上に固定するとともに、前記第 2 の半導体チップ群を構成する複数の半導体チップそれぞれの複数の突起電極と、前記配線基板の第 2 の複数の電極とを電氣的に接続する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2 6】 請求項 2 5 記載の半導体装置の製造方法であって、前記 (c) 工程において、前記第 1 の接着材は、互いに分離して前記配線基板の主面上

に配置される第 1 および第 2 の部分を有しており、前記 (e) 工程において、前記第 2 の接着材を、前記第 1 の接着材の、第 1 の部分と第 2 の部分の間に配置することを特徴とする半導体装置の製造方法。

【請求項 2 7】 請求項 2 5 記載の半導体装置の製造方法であって、前記 (c) 工程において、個片化された複数の前記第 1 の接着材を千鳥配列で配置し、前記 (e) 工程において、それぞれの前記第 1 の接着材の隣に個片化された複数の前記第 2 の接着材を千鳥配列で配置することを特徴とする半導体装置の製造方法。

【請求項 2 8】 請求項 2 5 記載の半導体装置の製造方法であって、前記第 1 および第 2 の接着材は、熱硬化性樹脂であって、前記第 1 の接着材を前記 (d) 工程において熱硬化させ、前記第 2 の接着材を前記 (f) 工程において熱硬化させることを特徴とする半導体装置の製造方法。

【請求項 2 9】 請求項 2 5 記載の半導体装置の製造方法であって、前記第 1 および第 2 の接着材は、熱硬化性樹脂によって形成されたフィルムであることを特徴とする半導体装置の製造方法。

【請求項 3 0】 (a) 主面と、前記主面上に形成された複数の電極とを有する配線基板を準備する工程と、

(b) 主面と、前記主面上に形成された複数の電極および複数の半導体素子とを有する第 1 の半導体チップを準備する工程と、

(c) 前記第 1 の半導体チップを前記配線基板の主面上に第 1 の接着材を介して配置する工程と、

(d) 前記第 1 の接着材に熱処理を施して硬化させ、前記第 1 の半導体チップを前記第 1 の接着材を介して前記配線基板の主面上に固定する工程と、

(e) 主面と、前記主面上に形成された複数の電極および複数の半導体素子とを有する第 2 の半導体チップを準備する工程と、

(f) 前記 (d) 工程後に、前記第 2 の半導体チップを第 2 の接着材を介して前記第 1 の半導体チップ上に配置する工程と、

(g) 前記第 2 の半導体チップを治具によって保持した状態で、前記第 2 の接着材に熱処理を施して硬化させ、前記第 2 の半導体チップを前記第 2 の接着材を

介して前記第 1 の半導体チップ上に固定する工程と、

(h) 前記 (g) 工程後に、前記治具を前記第 2 の半導体チップから離す工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3 1】 請求項 3 0 記載の半導体装置の製造方法であって、前記 (d) 工程と (f) 工程の間にさらに、

(i) 主面と、前記主面上に形成された複数の電極および複数の半導体素子とを有する第 3 の半導体チップを準備する工程と、

(j) 前記第 3 の半導体チップを前記配線基板の主面上に第 3 の接着材を介して配置する工程と、

(k) 前記第 3 の接着材に熱処理を施して硬化させ、前記第 3 の半導体チップを前記第 3 の接着材を介して前記配線基板の主面上に固定する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3 2】 請求項 3 1 記載の半導体装置の製造方法であって、前記 (k) 工程後にさらに、

(l) 主面と、前記主面上に形成された複数の電極および複数の半導体素子とを有する第 4 の半導体チップを準備する工程と、

(m) 前記 (d) 工程後に、前記第 4 の半導体チップを第 4 の接着材を介して前記第 3 の半導体チップ上に配置する工程と、

(n) 前記第 4 の半導体チップを治具によって保持した状態で、前記第 4 の接着材に熱処理を施して硬化させ、前記第 4 の半導体チップを前記第 4 の接着材を介して前記第 3 の半導体チップ上に固定する工程と、

(o) 前記 (g) 工程後に、前記治具を前記第 4 の半導体チップから離す工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3 3】 請求項 3 0 記載の半導体装置の製造方法であって、前記 (d) 工程において、前記第 1 の接着材に施す熱処理の温度は、前記 (g) 工程において、前記第 2 の接着材に施す熱処理の温度よりも高いことを特徴とする半導体装置の製造方法。

【請求項 3 4】 (a) 主面と、前記主面上に形成された複数の電極とを有する配線基板を準備する工程と、

(b) 前記配線基板に 1 0 0 ℃ 以上の熱処理を施す工程と、

(c) 前記 (b) 工程後に、前記配線基板の主面上に接着材を介して半導体チップを配置する工程と、

(d) 前記接着材に熱処理を施し、前記接着材を硬化させて前記半導体チップを前記配線基板の主面上に固定する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体製造技術に関し、特にスタック構造の半導体装置の小形化に適用して有効な技術に関する。

【0 0 0 2】

【従来の技術】

半導体素子が形成された半導体チップを有する半導体装置（半導体パッケージ）において、複数の半導体チップを 1 つのパッケージに納めた構造の一例としてスタック構造が知られている。

【0 0 0 3】

スタック構造の半導体装置では、半導体チップを、例えば、2 段に積層し、これを樹脂モールドしてパッケージとしている。

【0 0 0 4】

なお、スタック構造の半導体装置とその製造方法については、例えば、特開平 2 0 0 0 - 1 8 8 3 6 9 号公報、特開平 2 0 0 0 - 2 9 9 4 3 1 号公報および特開平 1 1 - 2 1 9 9 8 4 号公報にその記載がある。特開平 2 0 0 0 - 1 8 8 3 6 9 号公報に開示されているように、フェースアップ実装され、ワイヤボンディング接続されたチップの上にさらに別のチップを積層して実装する構造においては、上のチップが下のチップの電極を覆わない形状である必要があり、チップサイズの制約が大きい。

【0 0 0 5】

これに比較して、特開平 2 0 0 0 - 2 9 9 4 3 1 号公報や特開平 1 1 - 2 1 9

9 8 4 号公報に開示されているように、下層の半導体チップがフェースダウン実装によるフリップチップ接続、かつ、上層の半導体チップがフェースアップ実装によるワイヤボンディング接続される構造においては、前記のようなチップサイズの制約は無く、より自由度の高い構造となる。

【 0 0 0 6 】

そのうち、特開平 2 0 0 0 - 2 9 9 4 3 1 号公報には、上層の半導体チップの一部が突出する構造の半導体装置における上層の半導体チップのワイヤボンディング性の向上を図る技術が記載されている。

【 0 0 0 7 】

また、特開平 1 1 - 2 1 9 9 8 4 号公報には、チップ積層構造を有し、かつ SMT (Surface Mount Technology) によって、厚膜配線基板上に実装することができる半導体装置パッケージおよびその製造方法について記載されている。

【 0 0 0 8 】

【発明が解決しようとする課題】

ところが、スタック構造の半導体装置を携帯電話器などの携帯機器に実装する場合、半導体装置の小形化とともに、薄形化も要求される。しかしながら、さらなる半導体装置の薄形化を追求するにあたって、チップ強度の低下という新たな課題が発生した。

【 0 0 0 9 】

また、配線基板上に実装した半導体チップを樹脂封止する手段として、トランスファーモールド法を採用するのが生産性を向上するために望ましい。しかし、前記チップ積層構造にトランスファーモールド法を採用するにあたって、ボイドの発生という、また別の新たな課題が発生した。

【 0 0 1 0 】

本発明の目的は、薄形化を図るスタック構造の半導体装置およびその製造方法を提供することにある。

【 0 0 1 1 】

また、本発明のその他の目的は、チップサイズの制約を低減するスタック構造の半導体装置およびその製造方法を提供することにある。

【0012】

さらに、本発明のその他の目的は、樹脂封止時のボイド発生やチップ割れを防止するスタック構造の半導体装置およびその製造方法を提供することにある。

【0013】

本発明の前記ならびにその他の課題、および目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0015】

すなわち、本発明は、配線基板上に第1の半導体チップと、これの上に前記第1の半導体チップより薄い第2の半導体チップとが積層された半導体装置であり、第1の半導体チップは、その主面の電極が配線基板の電極と対向するように、第1の半導体チップの主面と配線基板の主面とが向かい合って配置され、第2の半導体チップは、配線基板の主面上に第1の半導体チップを介して配置されているものである。

【0016】

さらに本願のその他の発明の概要を項に分けて簡単に示す。すなわち、

1. 互いに向かい合う第1および第2の側面と、前記第1および第2の側面と接しており、互いに向かい合う第3および第4の側面を有するキャビティ、および前記第1の側面上に形成された樹脂注入口を持つ金型を準備する工程と、主面を有する配線基板、前記配線基板の主面上に固定された第1の半導体チップ、前記第1の半導体チップの上に固定された第2の半導体チップを準備する工程と、前記配線基板、前記第1および第2の半導体チップを前記キャビティの内部に配置する工程と、前記第1および第2の半導体チップを配置後、前記樹脂注入口より樹脂を注入して、前記第1および第2の半導体チップを封止する工程とを有する半導体装置の製造方法であり、前記第1および第2の半導体チップを配置する工程において、前記キャビティの第3の側面と平行な断面において、前記第1の半

導体チップの長さは、前記第 2 の半導体チップの長さよりも長くなるように、前記配線基板、第 1 および第 2 の半導体チップを配置するものである。

2. 互いに向かい合う第 1 および第 2 の側面と、前記第 1 および第 2 の側面と接しており、互いに向かい合う第 3 および第 4 の側面を有するキャビティ、および前記第 1 の側面上に形成された複数の樹脂注入口を持つ金型を準備する工程と、主面を有するとともに複数のデバイス領域が形成された配線基板、前記配線基板の複数のデバイス領域のそれぞれに固定された第 1 の半導体チップ、前記第 1 の半導体チップ上に固定された第 2 の半導体チップを準備する工程と、前記配線基板、前記複数の第 1 および第 2 の半導体チップを前記キャビティの内部に配置して前記複数のデバイス領域を前記キャビティによって一括で覆う工程と、前記複数のデバイス領域を前記キャビティによって一括で覆う工程後、それぞれのデバイス領域に対応した複数の樹脂注入口より樹脂を注入して、前記複数の第 1 および第 2 の半導体チップを一括で封止する工程とを有する半導体装置の製造方法であり、前記複数のデバイス領域を前記キャビティによって一括で覆う工程において、前記キャビティの第 3 の側面と平行な断面において、それぞれの前記第 1 の半導体チップの長さは、前記第 1 の半導体チップに積層された前記第 2 の半導体チップの長さよりも長くなるように、前記配線基板、前記複数の第 1 および第 2 の半導体チップを配置するものである。

【0017】

【発明の実施の形態】

以下の実施の形態では特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0018】

さらに、以下の実施の形態では便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

【0019】

また、以下の実施の形態において、要素の数など（個数、数値、量、範囲など

を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良いものとする。

【0020】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0021】

(実施の形態1)

図1は本発明の実施の形態1の半導体装置(スタック構造のCSP)の構造の一例を示す断面図、図2は図1に示すCSPの構造を示す部分断面図、図3は図1に示すCSPの組み立てにおけるウェハへのダイボンДФィルム貼り付け状態の一例を示す部分断面図、図4は図1に示すCSPの組み立てにおけるウェハダイシングの一例を示す部分断面図、図5は図1に示すCSPの組み立ての一例を示す部分断面図であり、(a)は第1チップマウントを示す図、(b)は第1チップ熱圧着を示す図、図6は図1に示すCSPの組み立ての一例を示す部分断面図であり、(a)は第2チップマウントを示す図、(b)は第2チップワイヤボンディングを示す図である。

【0022】

図1、図2に示す本実施の形態1の半導体装置は、個片基板3(配線基板)上に2つの半導体チップが積層されたスタック構造のものであるとともに、個片基板3のチップ支持面3a(主面)側において第1の半導体チップ1とこれに積層された第2の半導体チップ2とが樹脂モールドによって封止された樹脂封止形のものである。

【0023】

さらに、前記半導体装置は、チップサイズと同等か、もしくはそれより若干大きい程度の半導体パッケージである。すなわち、前記半導体装置は、スタック構造のCSP9である。

【0024】

また、個片基板 3 のチップ支持面 3 a と反対側の面（以降、裏面 3 b という）には、外部端子であり、かつ突起電極である複数の半田ボール 1 1 がマトリクス配置で設けられている。

【 0 0 2 5 】

なお、本実施の形態 1 の C S P 9 は、図 1 3 に示すような複数（ここでは、例えば、3 個×1 3 個＝3 9 個のマトリクス配列）のデバイス領域 7 a が形成された配線基板である多数個取り基板 7 を用いて、ダイシングライン 7 b によって区画形成された複数のデバイス領域 7 a を一括に覆う状態で樹脂モールドし（以降、これを一括モールドという）、これによって形成された図 2 7 （b）に示す一括モールド部 8 をモールド後にダイシングして個片化したものである。

【 0 0 2 6 】

C S P 9 の詳細構造を説明すると、主面であるチップ支持面 3 a および裏面 3 b を有しており、かつチップ支持面 3 a 上に図 8 に示すような複数の接続端子 3 c（電極）を有するとともに、裏面 3 b 上に複数の半田ボール 1 1 を有する個片基板 3 と、主面 1 b および裏面 1 c を有しており、かつ主面 1 b 上に複数のパッド 1 a（電極）と複数の半導体素子とを有する第 1 の半導体チップ 1 と、主面 2 b および裏面 2 c を有しており、かつ主面 2 b 上に複数のパッド 2 a（電極）と複数の半導体素子とを有するとともに、第 1 の半導体チップ 1 より厚さの薄い第 2 の半導体チップ 2 と、個片基板 3 のチップ支持面 3 a 上に形成されており、かつ第 1 の半導体チップ 1 および第 2 の半導体チップ 2 を封止する樹脂封止体 6 と、第 2 の半導体チップ 2 のパッド 2 a とこれに対応する個片基板 3 の接続端子 3 c とを接続する複数のワイヤ 4 とからなる。

【 0 0 2 7 】

さらに、第 1 の半導体チップ 1 は、個片基板 3 のチップ支持面 3 a 上に第 1 の半導体チップ 1 の複数のパッド 1 a が個片基板 3 の接続端子 3 c と対向するように、第 1 の半導体チップ 1 の主面 1 b と個片基板 3 のチップ支持面 3 a とが向かい合って配置されている。

【 0 0 2 8 】

その際、第 1 の半導体チップ 1 の主面 1 b と個片基板 3 のチップ支持面 3 a と

の間は、薄膜のNCF（非導電フィルム：Non-Conductive Film）12などの接着材を介して固定されている。

【0029】

ただし、前記接着材としては、NCF12以外のACF（異方性導電フィルム：Anisotropic Conductive Film）などを用いてもよく、あるいは、その他の接着材を用いてもよい。

【0030】

ここで、NCF12もしくはACFは、主に、フリップチップ接続を行う際に用いられる接着材であり、エポキシ樹脂を主成分とする熱硬化性の樹脂によって形成されたテープ状のフィルムである。

【0031】

また、第1の半導体チップ1の複数のパッド1aは、これに対応する個片基板3の複数の接続端子3cと圧接している。

【0032】

その際、第1の半導体チップ1のパッド1aに設けられた突起電極である金バンプ1dと、個片基板3の接続端子3cとが圧接されている。

【0033】

なお、金バンプ1dは、金線を用いてワイヤボンディング技術を利用して半導体チップの電極に設けられた突起電極であり、CSP9の組み立てにおいては、予め、第1の半導体チップ1のパッド1aに設けておく。

【0034】

一方、第2の半導体チップ2は、個片基板3のチップ支持面3a上に第1の半導体チップ1を介して配置されており、第1の半導体チップ1および第2の半導体チップ2は、ダイボンドフィルム材5（接着材）を介してお互いの裏面1c，2cが向かい合って個片基板3のチップ支持面3a上に配置されている。

【0035】

すなわち、CSP9は、スタック構造において、下層側の第1の半導体チップ1が個片基板3に対してフェースダウン実装でフリップチップ接続され、一方、上層側の第2の半導体チップ2は、第1の半導体チップ1の裏面1cにフェース

アップ実装されてワイヤボンディング接続されており、その際、図 2 に示すように、上層側の第 2 の半導体チップ 2 の厚さ (t_2) が、下層側の第 1 の半導体チップ 1 の厚さ (t_1) より薄くなっている ($t_1 \geq t_2$)。

【 0 0 3 6 】

例えば、 $t_1 = 240 \mu\text{m}$ 、 $t_2 = 180 \mu\text{m}$ などであるが、ただし、これらの数値に限定されるものではない。

【 0 0 3 7 】

ここで、本実施の形態 1 の CSP 9 の特徴である第 2 の半導体チップ 2 の厚さを第 1 の半導体チップ 1 の厚さより薄くすることについての説明をする。

【 0 0 3 8 】

例えば、携帯電話器などの携帯機器に用いられる半導体素子は、その実装高さが低いことが要求される。そのために、半導体チップは薄く加工されたものを使用する必要がある。近年の薄形半導体素子に用いられる半導体チップは $200 \mu\text{m}$ 以下の厚さに加工されたものが多い。

【 0 0 3 9 】

一般的に、半導体チップの荷重に対する割れやすさは、半導体チップの厚さが薄いほど顕著になる。したがって、本実施の形態 1 の CSP 9 では、大きな荷重が加わる第 1 の半導体チップ 1 を厚くし、第 2 の半導体チップ 2 を第 1 の半導体チップ 1 より薄くしている。

【 0 0 4 0 】

例えば、第 1 の半導体チップ 1 を熱圧着する際の荷重が $10 \sim 20 \text{ kgf}$ であり、第 2 の半導体チップ 2 を熱圧着する際の荷重は 1 kgf である。

【 0 0 4 1 】

このように、第 1 の半導体チップ 1 を熱圧着する荷重を、第 2 の半導体チップ 2 を熱圧着する荷重よりも大きくするのは以下のような理由がある。

【 0 0 4 2 】

第 1 の半導体チップ 1 の実装工程には、図 5 (b) に示すように、熱圧着ヘッド 20 からの圧力によって、金バンプ 1d が配線基板 3 (個片基板) 上の接続端子 3c と圧接した状態で熱を加え、熱硬化性樹脂を硬化させて金バンプ 1d と接

続端子 3 c との接続を確保するものである。この時、金バンプ 1 d の高さにはばらつきが生じた場合でも、金バンプ 1 d と接続端子 3 c との接続を確実に確保するためには、熱圧着ヘッド 20 から加える圧力によって、金バンプ 1 d、接続端子 3 c、もしくは接続端子 3 c の下の配線基板 3 を弾性または塑性変形させることが有効である。

【0043】

このように、金バンプ 1 d を介して配線基板 3 上の接続端子 3 c と接続する第 1 の半導体チップ 1 の接続信頼性を確保するためには、大きな圧着力が必要であり、第 1 の半導体チップ 1 には、こうした圧着力に耐えるだけの強度、すなわちチップの厚さが必要となる。

【0044】

これに比較して、フェースアップ実装され、ワイヤ 4 を介して接続端子 3 c と接続する第 2 の半導体チップ 2 を第 1 の半導体チップ 1 上に配置する際に加える圧力を小さくすることで、第 2 の半導体チップ 2 を薄くしても、チップ割れの不良を防ぐことができる。

【0045】

これにより、第 1 の半導体チップ 1 および第 2 の半導体チップ 2 の両者とも、実装荷重によって割れることなく、また、接続端子 3 c との接続信頼性を低下させることもなく、CSP 9 の薄形化を図って所望の実装高さを実現できる。

【0046】

また、下層側の第 1 の半導体チップ 1 をフェースダウン実装でフリップチップ接続することにより、第 1 の半導体チップ 1 の裏面 1 c に積層される第 2 の半導体チップ 2 の平面方向の大きさを第 1 の半導体チップ 1 より小さくすることも、あるいは大きくすることも可能になり、チップサイズの制約を大幅に低減できる。

【0047】

これにより、スタック構造において、チップサイズの組み合わせの自由度が広がり、小形のマルチチップモジュールを実現できる。

【0048】

また、CSP9では、第1の半導体チップ1のバス周波数は、第2の半導体チップ2のバス周波数よりも大きくなっている。

【0049】

その際、第1の半導体チップ1をロジックチップとし、また、第2の半導体チップ2をメモリチップとする。

【0050】

これは、第1の半導体チップ1であるロジックチップを下層側にフェースダウン実装して、金バンプ1dを介して個片基板3の接続端子3cと接続することによって、入出力部のインダクタンスを抑えることができるためである。

【0051】

その結果、出力信号に乗るノイズを抑えつつ、バス周波数を大きくすることができ、ロジックチップの性能をシステムが要求する十分な値にまで引き出すことができる。

【0052】

なお、ロジックチップと比較して、第2の半導体チップ2であるメモリチップは、ノイズの発生を抑えるために電流の時間変化量を制限した範囲でも、要求される性能を十分に発揮することができるとともに、ロジックチップ（第1の半導体チップ1）とメモリチップ（第2の半導体チップ2）とを積層することによってCSP9の小形化を実現できる。

【0053】

なお、図15に示すように、第1の半導体チップ1および第2の半導体チップ2は、例えば、シリコンなどによって形成され、かつそれぞれの主面1b、2bには半導体集積回路が形成されるとともに、主面1b、2bの周縁部には接続用の電極である複数のパッド1a、2aが形成されている。

【0054】

また、樹脂封止体6の形成に用いられるモールド用の樹脂は、例えば、熱硬化性のエポキシ樹脂などである。

【0055】

さらに、個片基板3は、例えば、ガラス入りエポキシ基板である。

【 0 0 5 6 】

なお、個片基板 3 には、そのチップ支持面 3 a に、ワイヤ 4 および金バンプ 1 d との接続を図る複数の接続端子 3 c が形成され、また、その裏面 3 b には、半田ボール 1 1 が搭載される図 1 4 (b) に示すような複数のバンプランド 3 d が露出して配置されている。

【 0 0 5 7 】

また、ワイヤボンディングによって接続されるワイヤ 4 は、例えば、金線である。

【 0 0 5 8 】

さらに、個片基板 3 の各接続端子 3 c に導通して接続された外部端子である複数の半田ボール 3 は、個片基板 3 の裏面 3 b にマトリクス配置で設けられている。

【 0 0 5 9 】

次に、本実施の形態 1 の C S P 9 の製造方法の概要について説明する。

【 0 0 6 0 】

なお、ここでは、C S P 9 の製造工程のうち、図 3 と図 4 に示す半導体チップ形成工程、図 5 (a) に示す第 1 の半導体チップマウント工程、図 5 (b) に示す第 1 の半導体チップ熱圧着工程、図 6 (a) に示す第 2 の半導体チップマウント工程および図 6 (b) に示すワイヤボンディング工程について説明する。

【 0 0 6 1 】

まず、チップ支持面 3 a 上に複数の接続端子 3 c を有する個片基板 3 (配線基板) を準備する。

【 0 0 6 2 】

さらに、第 1 の半導体チップ 1 と第 2 の半導体チップ 2 を準備する。

【 0 0 6 3 】

すなわち、主面 1 b および裏面 1 c を有し、かつ主面 1 b 上に複数のパッド 1 a および複数の半導体素子を有する第 1 の半導体チップと、同様に、主面 2 b および裏面 2 c を有し、かつ主面 2 b 上に複数のパッド 2 a および複数の半導体素子を有するとともに、第 1 の半導体チップ 1 より薄い第 2 の半導体チップ 2 とを

準備する。

【0064】

その際、第1の半導体チップ1上に積層させる第2の半導体チップ2については、図3に示すように、予め半導体ウェハ17の状態でその裏面17bにダイボンドフィルム材5を貼り付けておき、その後、ダイシングによって個片化して第2の半導体チップ2を取得する。

【0065】

まず、第2の半導体チップ2形成用の半導体ウェハ17の主面（回路面）17aの反対側の裏面17bをバックグラインドにより、所望の厚さに研削した後、エポキシ樹脂などからなるダイボンドフィルム材5を半導体ウェハ17の裏面17b全体に貼り付ける。

【0066】

すなわち、120℃に加熱されたステージ18上に、主面17aを下に向けた半導体ウェハ17を載置する。その際、120℃は、ダイボンドフィルム材5が硬化をしない温度で、かつダイボンドフィルム材5が半導体ウェハ17に密着しやすい温度である。

【0067】

その後、半導体ウェハ17の裏面17bにダイボンドフィルム材5をかぶせ、ローラ14をダイボンドフィルム材5の上から半導体ウェハ17上で転がし、気泡を押し出しながら貼り付ける。

【0068】

続いて、半導体ウェハ17からはみ出しているダイボンドフィルム材5を切り落とし、さらに、ダイボンドフィルム材5に添付されている保護シート15を剥離する。

【0069】

その後、図4に示すように、ダイボンドフィルム材5が貼られた半導体ウェハ17を、固定リング19によって支持されたダイシング用のUVテープであるダイシングテープ16に貼り付ける。

【0070】

その後、ダイシングブレード10を用いてダイシングを行って半導体ウェハ17を切り分け（個片化）、これによって、第2の半導体チップ2を取得する。

【0071】

その際、ダイシングブレード10の切り込みは、ダイシングブレード10がダイボンドフィルム材5を完全に切る深さまで行う。これは、次の工程であるダイボンド工程において、ダイボンドフィルム材5が切れていないと、半導体チップをダイシングテープ16から剥がす際に、半導体チップのみが突き上げられて半導体チップからダイボンドフィルム材5が剥がれてしまうことを防ぐためである。

【0072】

以上のように、半導体ウェハ17の裏面17b全体に一括でダイボンドフィルム材5を貼った後にダイシングして個々の第2の半導体チップ2を取得することにより、個片化された半導体チップに後からダイボンドフィルム材5を貼る場合と比べて、作業性が向上し、コストダウンを図ることができる。

【0073】

その後、図5（a）に示す第1の半導体チップ1のマウントを行う。

【0074】

なお、第1の半導体チップ1の複数のパッド1aのそれぞれは、第1の半導体チップ1の主面1b上に形成されたパッド1aと、パッド1a上に配置された突起電極である金バンプ1dとによって構成される。

【0075】

まず、第1の半導体チップ1の主面1bを個片基板3のチップ支持面3aに向かい合わせ、第1の半導体チップ1の複数のパッド1aが個片基板3の複数の接続端子3cと対向するように第1の半導体チップ1を個片基板3のチップ支持面3a上に配置する。

【0076】

その後、第1の半導体チップ1の裏面1cに圧力を加えて第1の半導体チップ1の複数のパッド1aと個片基板3の複数の接続端子3cとを電氣的に接続する。

【0077】

その際、まず、図5（a）に示すように、個片基板3のチップ支持面3aの第1の半導体チップ1搭載エリアに第1の半導体チップ1より若干大きめに切断したNCF12（接着材）を配置し、続いて、第1の半導体チップ1のパッド1aが個片基板3の接続端子3cと対向するように、かつパッド1aとこれに対応する接続端子3cとを位置決めして第1の半導体チップ1を個片基板3のチップ支持面3a上に配置し、その後、第1の半導体チップ1の裏面1cに1～5Kgf程度の極僅かな荷重を付与する。

【0078】

これにより、金バンプ1dがNCF12につきささり、第1の半導体チップ1が個片基板3上に仮固定される。

【0079】

その後、図5（b）に示すように、熱圧着ヘッド20によって第1の半導体チップ1の裏面1cに圧力を加える。また、前記圧力と同時に熱圧着ヘッド20から熱も加える。

【0080】

これによって、第1の半導体チップ1の主面1bと個片基板3のチップ支持面3aとの間でNCF12の熱硬化性樹脂を硬化させ、前記熱硬化性樹脂を介して第1の半導体チップ1を個片基板3のチップ支持面3a上に固定する。

【0081】

なお、熱圧着ヘッド20は、その加圧面が、個片基板3とほぼ同じ程度の大きさのものである。

【0082】

熱圧着では、個片基板3を70℃前後に加熱されたダイボンドステージ21上に載置し、第1の半導体チップ1の裏面1cを300℃前後に加熱された熱圧着ヘッド20で加圧する。この際の加圧荷重は、第1の半導体チップ1の1バンプあたり50～100gf程度である。例えば、CSP9が200バンプのものであれば、10～20kgf程度の荷重を熱圧着ヘッド20によって第1の半導体チップ1に付与する。

【0083】

その結果、NCF12が200℃前後の温度となり、溶融・硬化することにより、第1の半導体チップ1のパッド1a上の金バンプ1dと、個片基板3の接続端子3cとが接触して電氣的に導通する。

【0084】

この際、特に詳細には図示しないが、前記熱圧着ヘッド20からの加圧荷重によって、金バンプ1d、接続端子3c、もしくは接続端子3cの下の配線基板3を弾性または塑性変形させた状態で熱硬化性樹脂を硬化させるため、金バンプ1dの高さにばらつきが有る場合、もしくは、第1の半導体チップ1または第2の半導体チップ2動作時の発熱によって、熱硬化性樹脂が熱膨張した場合でも、金バンプ1dと接続端子3c間の接続信頼性を十分に確保することができる。

【0085】

なお、第1の半導体チップ1のフリップチップ接続が、例えば、金-金接続で行われる場合、すなわち、個片基板3の接続端子3cの表面に金めっきが施されている場合には、NCF12やACFなどのフィルム状の接着材は使用せずに、第1の半導体チップ1に圧力と同時に超音波を加えて超音波金-金接続によって第1の半導体チップ1と個片基板3とを接続することも可能である。

【0086】

その場合、第1の半導体チップ1の主面1bの保護、接続信頼性の確保、モールド時のチップ割れの防止のため、チップ接続後、個片基板3と第1の半導体チップ1との間に絶縁性の樹脂を流し込んでアンダーフィル封止を行う。

【0087】

次に、図6(a)に示す第2の半導体チップ2のマウントを行う。

【0088】

その際、第1の半導体チップ1の裏面1c上に第1の半導体チップ1よりは厚さが薄く形成された第2の半導体チップ2を、第1の半導体チップ1の裏面1cと第2の半導体チップ2の裏面2cとがダイボンドフィルム材5を介して向かい合うように配置するとともに、圧着ヘッド(常温)によって第1の半導体チップ1のダイボンドの際に付与した圧力(CSP9が200バンプの場合、10~2

0 k g f 程度の荷重) より小さな圧力を加えつつ配置する。

【0089】

すなわち、第2の半導体チップ2の裏面2cには、予めダイボンドフィルム材5が貼り付けられているため、フリップチップ接続された第1の半導体チップ1の裏面1cに、熱と小さな荷重とによってダイボンドフィルム材5を接着材として第2の半導体チップ2を固着する。また、この際、ダイボンドフィルム材5を硬化させるための加熱は、ダイボンドステージ21によって行い、前記圧着ヘッドの温度はダイボンドステージ21の温度よりも低く、例えば、常温に設定するのが良い。

【0090】

なお、その際の荷重(圧力)は、CSP9の第2の半導体チップ2の主面2bの大きさが、例えば、 50 mm^2 程度の場合、1 k g f 程度で、かつ、温度は160℃程度である。

【0091】

その後、図6(b)に示すように、第2の半導体チップ2の複数のパッド2aとそれぞれに対応する個片基板3の複数の接続端子3cとをワイヤボンディングによる金線のワイヤ4を介して電氣的に接続する。

【0092】

続いて、第1の半導体チップ1、第2の半導体チップ2および複数のワイヤ4を樹脂封止する。

【0093】

すなわち、個片基板3のチップ支持面3a側において、トランスファーモールドによって第1の半導体チップ1、第2の半導体チップ2および複数のワイヤ4を樹脂封止して樹脂封止体6を形成する。

【0094】

その後、個片基板3の裏面3b上に、個片基板3の複数の接続端子3cと電氣的に接続する複数の突起電極である半田ボール11を搭載する。

【0095】

すなわち、個片基板3の樹脂封止体6が形成された側と反対側の裏面3bに露

出する各バンプランド3dに、半田ボール11をリフローなどによって搭載してCSP9の外部電極を形成する。

【0096】

(実施の形態2)

図7は本発明の実施の形態2の半導体装置(スタック構造のCSP)の構造の一例を示す部分断面図、図8は図7に示すCSPの組み立てにおけるワイヤリング状態の一例を示す拡大平面図、図9は図7に示すCSPの組み立ての一例を示す部分断面図であり、(a)は第1チップマウントを示す図、(b)は第1チップ熱圧着を示す図、図10は図7に示すCSPの組み立ての一例を示す部分断面図であり、(a)は第2チップマウントを示す図、(b)は第2チップワイヤボンディングを示す図である。

【0097】

また、図11は本発明の実施の形態2の半導体装置の組み立て手順における全工程の一例を示す製造プロセスフロー図、図12は本発明の実施の形態2の半導体装置の組み立て手順における詳細工程の一例を示す製造プロセスフロー図、図13は本発明の実施の形態2の半導体装置の組み立てにおける多数個取り基板の構造の一例を示す平面図、図14は図13に示す多数個取り基板の一部を拡大して示す拡大部分図であり、(a)は図13のA部の詳細を示す平面図であり、(b)は(a)の裏面側の底面図、図15は本発明の実施の形態2の半導体装置の組み立てに用いられる第1および第2の半導体チップの平面図であり、(a)は第1の半導体チップの図、(b)は第2の半導体チップの図、図16は図15に示す第1の半導体チップの構造の一例を示す図であり、(a)は拡大部分側面図、(b)は拡大部分平面図、図17は本発明の実施の形態2の半導体装置の組み立てにおける第1のNCF貼り付け工程の一例を示す平面図、図18は図17に示す第1のNCF貼り付け工程の詳細を示す平面図であり、(a)はNCF配置前の図、(b)はNCF貼り付け後の図、図19は図17に示す第1のNCF貼り付けに対する第1の半導体チップの配置状態を示す図であり、(a)は第1の半導体チップ配置状態の図、(b)はコレットによる押圧状態を示す図、図20は第1の半導体チップのダイボンド方法の一例を示す図であり、(a)は第1の

半導体チップマウント状態の図、(b)は第1の半導体チップ熱圧着後の図、図21は図17に示す第1のNCF貼り付けに対する第1の半導体チップのダイボンド後の構造の一例を示す平面図、図22は図17に示す第1のNCF貼り付けに対する第2のNCF貼り付け後の構造の一例を示す平面図、図23は図22に示す第2のNCF貼り付けに対する第1と第3の半導体チップの実装完了構造を示す図であり、(a)は平面図であり、(b)は(a)のB部の詳細を示す拡大部分平面図、図24は図22に示す第2のNCF貼り付けに対する第2と第4の半導体チップのダイボンド後の構造の一例を示す平面図、図25は第2と第4の半導体チップのワイヤボンディング後の構造を示す図であり、(a)は平面図であり、(b)は(a)のC部の詳細を示す拡大部分平面図、図26は第2の半導体チップのワイヤボンディング状態の一例を示す平面図であり、(a)はワイヤボンディング前の図、(b)はワイヤボンディング後の図、図27は一括モールドが行われる多数個取り基板の構造の一例を示す平面図であり、(a)は一括モールド前の図、(b)は一括モールド後の図、図28は本発明の実施の形態2の半導体装置の組み立ての一括モールド方法における樹脂流入方向の一例を示す平面図、図29は図28に示す一括モールド方法の一例を示す図であり、(a)は図28のD-D線に沿った断面の一括モールド時の部分断面図、(b)は図28のE-E線に沿った断面の一括モールド時の部分断面図、図30は図28に示す一括モールド方法に対する変形例の一括モールド方法における樹脂流入方向の一例を示す平面図、図31は図30に示す変形例の一括モールド方法を示す図であり、(a)は図30のF-F線に沿った断面の一括モールド時の部分断面図、(b)は図30のG-G線に沿った断面の一括モールド時の部分断面図、図32は本発明の実施の形態2の半導体装置の組み立てにおける一括モールド後の多数個取り基板の構造の一例を示す平面図、図33は本発明の実施の形態2の半導体装置の組み立ての第1のNCF貼り付け工程に対する変形例の第1のNCF貼り付け工程を示す平面図、図34は図1に示すスタック構造のCSPに対する変形例のCSPの構造を示す断面図である。

【0098】

本実施の形態2は、実施の形態1で説明したCSP9もしくは本実施の形態2

で説明するCSP22の組み立てにおける特徴部分を説明するものである。

【0099】

本実施の形態2のCSP22は、スタック構造のものであり、実施の形態1のCSP9と同様に、下層側の第1の半導体チップ1がフェースダウン実装でフリップチップ接続され、かつ第1の半導体チップ1に積層される第2の半導体チップ2がフェースアップ実装でワイヤボンディング接続されるとともに、第1の半導体チップ1より第2の半導体チップ2の方がその厚さが薄いものであるが、実施の形態1との相違点は、図7に示すように、第2の半導体チップ2の対向する少なくとも2辺が、第1の半導体チップ1の外周より平面的に突出してはみ出している（オーバーハングしている）点である。

【0100】

すなわち、図9（a）に示すNCF12（ACFも同じ）は、熱圧着する際に、一度溶融して液状になる。

【0101】

その後、図9（b）に示すように、熱圧着ヘッド20によって10～20kgf程度の荷重が第1の半導体チップ1の裏面1cにかかると、第1の半導体チップ1の下にNCF12は押し出されて、第1の半導体チップ1の端部よりはみ出る。

【0102】

その後、NCF12は硬化して所望の厚さになる。その際、第1の半導体チップ1の端部からはみ出す量は、初期のNCF12の厚さから圧着後の厚さを差し引いた余り分である。はみ出したNCF12は、第1の半導体チップ1の側面に沿って這い上がり、第1の半導体チップ1の裏面1cまで到達する。

【0103】

そこで、熱圧着ヘッド20を第1の半導体チップ1の大きさより大きくしておくことにより、図9（b）に示すように、第1の半導体チップ1の裏面1cと同一の高さでNCF12のはみ出した箇所に平坦部12aを形成できる。

【0104】

この平坦部12aの長さは、初期のNCF12の厚さを変えることにより、調

整可能である。

【0105】

その後、図10(a)に示すように、第1の半導体チップ1の裏面1cへの第2の半導体チップ2の積層を行って第2の半導体チップ2のマウントを行う。

【0106】

さらに、第2の半導体チップ2のマウント後、図10(b)に示すように、ワイヤボンディングを行って第2の半導体チップ2のパッド2aと個片基板3の接続端子3cとをワイヤ4によって電氣的に接続する。

【0107】

なお、第2の半導体チップ2のマウントとワイヤボンディングの方法については、実施の形態1で説明した第2の半導体チップ2のマウント方法およびワイヤボンディング方法と同じである。

【0108】

CSP22の組み立てを図11に示す製造プロセスフロー図にしたがって説明する。

【0109】

なお、図12に示す製造プロセスフロー図は、図11の製造プロセスフロー図をさらに詳しく示したものである。

【0110】

まず、図14(a)に示すようにチップ支持面3aおよびチップ支持面3a上に形成された複数の第1接続端子3e(第1の電極)および複数の第2接続端子3f(第2の電極)を有する図13に示す配線基板である多数個取り基板7を準備する。

【0111】

ここでは、多数個取り基板7の1つのデバイス領域7aおよびこれと千鳥配列のデバイス領域7aにおける第1の半導体チップ1と接続する電極を第1接続端子3eとし、このデバイス領域7aと隣接する他の千鳥配列のデバイス領域7aの第3の半導体チップと接続する電極を第2接続端子3fとする。

【0112】

なお、本実施の形態 2 における図 2 3 に示す第 3 の半導体チップ 2 6 は、第 1 の半導体チップ 1 と同じ構造で、かつ、下層側に配置されるものである。

【0 1 1 3】

また、図 1 4 (a) に示すそれぞれの個片基板 3 となるデバイス領域 7 a の裏面 3 b 側には、図 1 4 (b) に示すようなバンプランド 3 d がマトリクス配列で露出している。

【0 1 1 4】

続いて、主面 1 b および主面 1 b 上のパッド 1 a に形成された複数の金バンプ 1 d と、複数の半導体素子とを有する図 1 5 (a) に示す複数の第 1 の半導体チップ 1、および、主面 2 b および主面 2 b 上に形成された複数のパッド 2 a と、複数の半導体素子とを有する図 1 5 (b) に示す複数の第 2 の半導体チップ 2 をそれぞれ準備する。

【0 1 1 5】

なお、第 1 の半導体チップ 1 および第 2 の半導体チップ 2 の準備については、図 1 1 に示すように、第 1 の半導体チップ 1 では、ステップ S 2 1 のバックグラインド、ステップ S 2 2 のダイシング、ステップ S 2 3 の治具詰めおよびステップ S 2 4 の金 (Au) バンプ形成を実施の形態 1 で説明した方法で行って図 1 6 (a), (b) に示すように準備し、一方、第 2 の半導体チップ 2 では、ステップ S 3 1 のバックグラインド、ステップ S 3 2 のダイボンドフィルム貼り付けおよびステップ S 3 3 のダイシングを実施の形態 1 で説明した方法で行って準備する。

【0 1 1 6】

また、多数個取り基板 7 については、準備後、まず、図 1 2 の製造プロセスフロー図の工程 NO. 8 に示す基板ベークを行う。

【0 1 1 7】

ここでは、多数個取り基板 7 に 1 0 0℃以上（例えば、1 2 5℃でベーク時間 4 時間程度である）の熱処理を行う。

【0 1 1 8】

これは、エポキシ系の樹脂基板は、水分を吸収しやすいため、この水分を除去

するための処理であり、これにより、第1の半導体チップ1の熱圧着時、多数個取り基板7に気泡が形成されることを防止できるとともに、水分含有による密着性の低下を防ぐことができる。

【0119】

したがって、前記ベーク処理後に多数個取り基板7のチップ支持面3a上にNCF12などの接着材を介して第1の半導体チップ1を配置し、その後、前記接着材を熱処理して硬化させて第1の半導体チップ1を多数個取り基板7上に固定する手順となる。

【0120】

次に、図11のステップS1に示すNCFの貼り付けを行う。

【0121】

ここでは、第1の接着材として第1NCF12bを用い、多数個取り基板7の千鳥配列のそれぞれのデバイス領域7aの図18(a)に示す複数の第1接続端子3e上に、図18(b)に示すように第1NCF12bを配置する。

【0122】

なお、第1NCF12bは、互いに分離して多数個取り基板7のデバイス領域7a上に配置される第1および第2の部分を持している。

【0123】

ここでは、一例として、図17に示すように、個片化（前記第1および第2の部分）された複数の第1NCF12bを千鳥配列で配置する。

【0124】

さらに、図19(a)、図20(a)に示すように、千鳥配列で配置された複数の第1NCF12bのうちの何れか1つ（例えば、角部に配置された第1NCF12b）の上に第1の半導体チップ1を配置し、熱圧着によって第1の半導体チップ1を固定する。すなわち、図11に示すステップS2の第1の半導体チップ1のフリップチップ搭載を行って、さらに、ステップS3に示す熱圧着を行う。

【0125】

前記熱圧着の際には、図19(b)に示すように、70℃程度に加熱されたダ

イボンドステージ21上で、315℃程度に加熱された熱圧着ヘッド20によって第1の半導体チップ1の裏面1cから荷重を加えて熱圧着する。

【0126】

これによって、図19(b)、図20(b)に示すように第1の半導体チップ1は第1NCF12bを介して固定されて、第1の半導体チップ1の複数の金バンプ1dと多数個取り基板7のデバイス領域7aの第1接続端子3eとが電氣的に接続するとともに、第1NCF12bは第1の半導体チップ1の外周にはみ出した状態となる。

【0127】

なお、図19(a)に示す点線で囲んだ範囲Pは、熱圧着ヘッド20からの熱の影響で、基板温度が第1NCF12bの熱硬化性樹脂を硬化させる程度まで上昇する範囲を示しており、複数の第1NCF12bを千鳥配列などの配列で配置する際には、それぞれの隣接する第1NCF12bが範囲Pに入らないように配置しなければならない。

【0128】

すなわち、熱圧着ヘッド20からの熱の影響を回避可能な程度の間隔をそれぞれに持って複数の第1NCF12bを千鳥配列などの配列で配置する。

【0129】

これにより、熱圧着ヘッド20からの熱の影響で、隣接する第1NCF12bの熱圧着前の熱硬化を防ぐことができるとともに、範囲Pに入らない程度にあるまとまった数の第1NCF12bを配置してそれぞれの上に第1の半導体チップ1配置後、連続して第1の半導体チップ1を複数個熱圧着することにより、第1の半導体チップ1のマウント処理を効率良く行うことができる。

【0130】

このようにして、図21に示すように、千鳥配列で第1の半導体チップ1の熱圧着を完了させる。

【0131】

その後、多数個取り基板7のデバイス領域7aのうち、第1の半導体チップ1を搭載した千鳥配列のデバイス領域7aに隣接するまだ第1の半導体チップ1を

搭載していない他の千鳥配列のデバイス領域 7 a の複数の第 2 接続端子 3 f 上に第 2 N C F 1 2 c (第 2 の接着材) を配置する。

【 0 1 3 2 】

すなわち、図 2 2 に示すように、千鳥配列の第 1 の半導体チップ 1 のそれぞれの隣に、個片化された複数の第 2 N C F 1 2 c を同じく千鳥配列で配置する。

【 0 1 3 3 】

その後、図 2 2 に示すように、千鳥配列で配置された第 2 N C F 1 2 c 上に図 2 3 に示す複数の第 3 の半導体チップ 2 6 を搭載し、この第 3 の半導体チップ 2 6 を前記同様の方法で熱圧着ヘッド 2 0 により熱圧着する。

【 0 1 3 4 】

その結果、第 2 N C F 1 2 c を介して複数の第 3 の半導体チップ 2 6 が多数個取り基板 7 の複数のデバイス領域 7 a のチップ支持面 3 a 上に固定されるとともに、それぞれの第 3 の半導体チップ 2 6 の複数の金バンプ 1 d (図 1 6 参照) と、図 1 4 (a) に示す多数個取り基板 7 のデバイス領域 7 a の複数の第 2 接続端子 3 f とが電氣的に接続される。

【 0 1 3 5 】

これによって、図 2 3 (a) , (b) に示すように、多数個取り基板 7 上に搭載される下層側の半導体チップである第 1 の半導体チップ 1 および第 3 の半導体チップ 2 6 のマウントを完了する。

【 0 1 3 6 】

なお、第 1 N C F 1 2 b および第 2 N C F 1 2 c は、熱硬化性樹脂によって形成されたフィルムである。したがって、熱圧着ヘッド 2 0 およびダイボンDstage 2 1 による荷重と熱とで第 1 N C F 1 2 b および第 2 N C F 1 2 c の熱硬化性樹脂が熱硬化し、これによって熱圧着が行われる。

【 0 1 3 7 】

また、本実施の形態 2 では、図 1 7 に示すように、まず、ある複数 (ここでは千鳥配列の場合を説明したが、千鳥配列以外の複数であってもよい) の第 1 N C F 1 2 b の配置を行い、さらに、図 2 1 に示すように、この第 1 N C F 1 2 b 上へ複数の第 1 の半導体チップ 1 よりなる第 1 の半導体チップ群の搭載を済ませた

後、図 2 2 に示すように、残りの第 2 N C F 1 2 c を配置してこれの上に、図 2 3 に示すように複数の第 3 の半導体チップ 2 6 よりなる第 2 の半導体チップ群の搭載を行って複数の第 1 の半導体チップ 1 と複数の第 3 の半導体チップ 2 6 すなわち下層側の半導体チップの実装を完了する場合を説明した。

【 0 1 3 8 】

しかしながら、熱圧着ヘッド 2 0 による隣接するデバイス領域 7 a への熱影響が無視できる場合には、先に、N C F 1 2 の配置を全数完成させ、その後、まとめて複数の第 1 の半導体チップ 1 および複数の第 3 の半導体チップ 2 6 の熱圧着によるダイボンド（マウント）を行っても良く、この場合には、N C F 1 2 を第 1 N C F 1 2 b と第 2 N C F 1 2 c とに分ける必要がなく、かつ、第 1 の半導体チップ 1 の搭載についても、1 つの工程で行うことができるため、N C F 1 2 の実装と下層側の半導体チップの搭載とを効率良く行うことが可能になる。

【 0 1 3 9 】

また、逆に、熱圧着ヘッド 2 0 による隣接するデバイス領域 7 a への熱影響が非常に大きく、例えば、対角線方向に隣接するデバイス領域 7 a 同士での熱影響さえ無視できない場合には、全ての隣接するデバイス領域 7 a には同時に N C F 1 2 を配置しないように、全体の数 4 の 1 ずつ N C F 1 2 を配置し、4 回に分けて第 1 の半導体チップ 1 を実装するようにしてもよい。

【 0 1 4 0 】

次に、図 1 1 のステップ S 4 に示す第 2 の半導体チップ 2 の搭載を行う。

【 0 1 4 1 】

なお、本実施の形態 2 は、図 2 4 に示すように、第 1 の半導体チップ 1 の全数実装後に第 2 の半導体チップ 2 を搭載する場合である。

【 0 1 4 2 】

ただし、個々の第 2 の半導体チップ 2 の搭載については、実施の形態 1 で説明した第 2 の半導体チップ 2 の搭載方法と同じである。

【 0 1 4 3 】

すなわち、第 1 の半導体チップ 1 の裏面 1 c 上に第 1 の半導体チップ 1 より厚さが薄く形成された第 2 の半導体チップ 2 を、第 1 の半導体チップ 1 の裏面 1

cと第2の半導体チップ2の裏面2cとがダイボンドフィルム材5（図6（a）参照）を介して向かい合うように配置するとともに、図5（b）に示す熱圧着ヘッド20によって第1の半導体チップ1のダイボンドの際に付与した圧力（CSP22が200バンプの場合、10～20kgf程度の荷重）より小さな圧力を加えつつ配置する。

【0144】

これにより、フリップチップ接続された第1の半導体チップ1の裏面1cに、熱と荷重とによってダイボンドフィルム材5を接着材として第2の半導体チップ2を固着する（図26（a）参照）。

【0145】

なお、その際の荷重（圧力）は、CSP9の第2の半導体チップ2の主面2bの大きさが、例えば、 50mm^2 程度の場合、1kgf程度で、かつ、温度は160℃程度である。

【0146】

この方法で、順次複数の第2の半導体チップ2および複数の第4の半導体チップ27の熱圧着を行っていき、第2の半導体チップ2と第4の半導体チップ27の実装を、図24に示すように全数完了させる。

【0147】

なお、ここでの複数の第4の半導体チップ27は、第2の半導体チップ2と同じ構造で、かつ前記複数の第3の半導体チップ26の上にそれぞれ配置されるものである。

【0148】

その後、図11のステップS5に示す第2の半導体チップ2および第4の半導体チップ27の複数のパッド2aと、それぞれに対応するデバイス領域7aである個片基板3の複数の第1接続端子3eまたは第2接続端子3fとをワイヤボンディングによる金線のワイヤ4を介して電氣的に接続する（図25（b）、図26（b）参照）。

【0149】

このワイヤボンディングを、図25（a）に示すように、順次第2の半導体チ

チップ2に対して行っていく、第4の半導体チップ27を含む第2の半導体チップ2のワイヤボンディングを全数完了させる。

【0150】

その後、図11のステップS6に示す第1の半導体チップ1（第3の半導体チップ26を含む）、第2の半導体チップ2（第4の半導体チップ27を含む）および複数のワイヤ4の樹脂封止である樹脂モールドを行う。

【0151】

ここでは、多数個取り基板7における複数のデバイス領域7aを1つのキャビティ13aで覆って一括にモールドし、その後、ダイシングを行って個片化する一括モールド：MAP（Mold Array Package）方式の場合を説明する。

【0152】

まず、モールド工程では、図29（a）、（b）に示すように、互いに向かい合う第1の側面13bおよび第2の側面13cと、第1の側面13bおよび第2の側面13cと接しており、かつ互いに向かい合う第3の側面13dおよび第4の側面13e、さらに、前記第1～第4の側面13eに隣接する上面13jおよび下面13kを有するキャビティ13a、および第1の側面13b上に形成された複数の樹脂注入口13fを持つ金型であるモールド金型13を準備する。

【0153】

すなわち、モールド金型13は、上型13hと下型13iとからなり、第1の側面13bと第2の側面13cと第3の側面13dと第4の側面13eおよび上面13jとを有するキャビティ13aがモールド金型13の上型13hに形成されている。

【0154】

さらに、モールド金型13の上型13hには、第2の側面13c上にベントホールとして空気孔13gが形成されている。

【0155】

一方、複数のデバイス領域7aが形成された配線基板である多数個取り基板7と、多数個取り基板7の複数のデバイス領域7aのそれぞれに固定された第1の半導体チップ1と、第1の半導体チップ1上に固定された第2の半導体チップ2

とを準備する。

【0156】

すなわち、図27(a)に示すように、ワイヤボンディング後の多数個取り基板7を準備する。

【0157】

なお、多数個取り基板7の長手方向の一方（モールド金型13の樹脂注入口13fに対応する側）の端部には複数の金メッキ部7cが形成されている。これは、モールドによって形成される図27(b)に示す樹脂ゲート部8aの多数個取り基板7からの剥離を容易にするためのものである。

【0158】

その後、図29(a)に示すように、多数個取り基板7、複数の第1の半導体チップ1および第2の半導体チップ2をキャビティ13aの内部で下型13iに配置して図29(b)に示すように複数のデバイス領域7aを上型13hのキャビティ13aによって一括で覆う。

【0159】

なお、キャビティ13a内において、キャビティ13aの第3の側面13dと平行な断面（図29(a)の断面のこと）において、それぞれの第1の半導体チップ1の長さが、第1の半導体チップ1に積層された第2の半導体チップ2の長さよりも長くなるように複数の第1の半導体チップ1および第2の半導体チップ2を配置する。

【0160】

これに対して90°方向を変えた断面、すなわちキャビティ13aの第1の側面13bと平行な断面（図29(b)のこと）においては、第1の半導体チップ1の長さが、第2の半導体チップ2の長さよりも短くなるように、第1の半導体チップ1および第2の半導体チップ2を配置する。

【0161】

すなわち、第1の半導体チップ1と第2の半導体チップ2の関係を、図28に示す樹脂流入方向に対して、第1の半導体チップ1の長さが、第2の半導体チップ2の長さよりも長くなるような関係とする。

【 0 1 6 2 】

この時、樹脂流入方向に対して直角をなす方向では、第 1 の半導体チップ 1 の長さが、第 2 の半導体チップ 2 の長さよりも短くなるような関係である。

【 0 1 6 3 】

この状態で上型 1 3 h と下型 1 3 i との型締めを行った後、それぞれのデバイス領域 7 a に対応した複数の樹脂注入口 1 3 f より樹脂（レジン）を注入して、複数の第 1 の半導体チップ 1 および第 2 の半導体チップ 2 を一括で樹脂封止する。

【 0 1 6 4 】

この場合、図 2 8 に示す樹脂流入方向に対して、第 1 の半導体チップ 1 の裏面 1 c と第 2 の半導体チップ 2 との間に段差が生じ、上層側の第 2 の半導体チップ 2 の方が引っ込んでいるため、図 2 9 (a) に示すようなレジンの流れ 2 3 となり、第 2 の半導体チップ 2 の主面 2 b 上に樹脂（レジン）が容易に回り込み、キャビティ 1 3 a 内の空気を空気孔 1 3 g から追い出すことができる。

【 0 1 6 5 】

したがって、第 2 の半導体チップ 2 の主面 2 b 上でのボイドの発生を抑えることができ、モールド性を向上できる。

【 0 1 6 6 】

また、図 2 9 の変形例として、キャビティ 1 3 a 内において樹脂流入方向に平行な方向に対して、図 3 0 および図 3 1 (a) に示すように、第 2 の半導体チップ 2 が、第 1 の半導体チップ 1 の外周より平面的に突出する部分を有するように、両者を配置してもよく、その場合、第 2 の半導体チップ 2 の突出する部分と多数個取り基板 7 のチップ支持面 3 a との間を接着材である N C F 1 2 によって充填する。

【 0 1 6 7 】

この状態で上型 1 3 h と下型 1 3 i との型締めを行った後、それぞれのデバイス領域 7 a に対応した複数の樹脂注入口 1 3 f より樹脂（レジン）を注入して、複数の第 1 の半導体チップ 1 および第 2 の半導体チップ 2 を一括で樹脂封止する。

【 0 1 6 8 】

仮に、第 2 の半導体チップ 2 の突出する部分と多数個取り基板 7 のチップ支持面 3 a との間が N C F 1 2 によって充填されていない場合には、キャビティ 1 3 a の第 1 の側面 1 3 b から遠い側の第 2 の半導体チップ 2 が突出する部分の下に、樹脂の未充填部分（ボイド）が発生する可能性が高くなる。トランスファーマールド法においては、モールド工程の最終段階に樹脂に非常に圧力をかけて、樹脂中のボイドを排除または圧縮することでボイドの体積を減らすことが可能であるが、前記のようにチップの下に大きなボイドがある状態で樹脂に圧力をかけると、チップが割れる恐れがある。

【 0 1 6 9 】

しかし、本実施の形態 2 においては、第 2 の半導体チップ 2 の突出する部分と多数個取り基板 7 のチップ支持面 3 a との間は、モールド工程前に予め N C F 1 2 によって充填されているので、トランスファーマールド工程時に圧力をかけたとしてもチップが割れる問題を回避することができる。

【 0 1 7 0 】

モールドを終了すると、多数個取り基板 7 上に、図 2 7 （ b ） 、 図 3 2 に示すような一括モールド部 8 と複数の樹脂ゲート部 8 a とが形成される。

【 0 1 7 1 】

その後、図 1 1 のステップ S 7 のはんだボール搭載を行って多数個取り基板 7 のデバイス領域 7 a のバンプランド 3 d にはんだボールの仮止めを行う。

【 0 1 7 2 】

続いて、ステップ S 8 の前記はんだボールのリフローを行って、前記はんだボールのバンプランド 3 d への固定を行う。

【 0 1 7 3 】

その後、ステップ S 9 の多数個取り基板 7 のダイシングを行って個々のパッケージに個片化する。

【 0 1 7 4 】

さらに、ステップ S 1 0 のマーク捺印およびステップ S 1 1 の電気試験を行って C S P 2 2 の組み立てを完了する。

【0175】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0176】

前記実施の形態1では、金バンプ1dと接続端子3cとの接続信頼性を確保するために、複数の第1の半導体チップ1に対して個別に熱圧着を行うため、作業効率の低下が懸念される。そこで、熱圧着の作業効率の向上を図る対策として、熱圧着時、NCF12などの第1の接着材に施す熱処理の温度を、前記第2の接着材に施す熱処理の温度よりも高くすることで下層側の第1の半導体チップ1の第1の接着材の硬化時間を早め、これによって、熱圧着全体の作業効率の向上を図ることができる。

【0177】

ただし、第1の半導体チップ1の熱処理の温度を高くすると、基板とチップの熱膨張係数の差により、熱硬化後の第1の半導体チップ1の反りが大きくなり、第1の半導体チップ1のマウント終了後の第1の半導体チップ1の反りが大きくなる。

【0178】

すなわち、第1の半導体チップ1のマウント終了後の第1の半導体チップ1の平坦度は悪化する。このように、第1の半導体チップ1が反っていることが原因で、その上に搭載される第2の半導体チップ2が傾いてしまうと、ワイヤボンディングが良好に行えず、第2の半導体チップ2と接続端子3cとの接続信頼性の低下を招いてしまうことになる。

【0179】

そこで、第1の半導体チップ1を熱圧着で搭載した後、第2の半導体チップ2を実施の形態1で説明したダイボンドフィルム材5などの第2の接着材を介して第1の半導体チップ1の裏面1c上に配置し、この第2の半導体チップ2を圧着ヘッドによって保持した状態で、前記第2の接着材に熱処理を施して硬化させ、第2の半導体チップ2を前記第2の接着材を介して第1の半導体チップ1上に固

定する。

【0180】

その後、圧着ヘッドなどの治具を第2の半導体チップ2から離す。

【0181】

このように治具（圧着ヘッド）によって第2の半導体チップ2を保持した状態で第2の半導体チップ2の固定を行うことによって、反った第1の半導体チップ1の上でも平坦度を低下させることなく第2の半導体チップ2を固定することができる。

【0182】

また、この時、第2の半導体チップ2の裏面2cには、予めダイボンドフィルム材5が貼り付けられた状態で、チップが個片化されているため、複数のデバイス領域7aに対して個片化されたNCF12を配置する必要がある第1の半導体チップ1の実装工程に比較して、作業効率を上げることができる。

【0183】

なお、この方法を用いて、実施の形態2で説明したような複数のデバイス領域7aに対して順次積層のダイボンドを行う際には、まず、図23に示すように、1つのデバイス領域7aでの第1の半導体チップ1の搭載を前記方法で熱圧着し、その後、第3の半導体チップ26（ここでの第3の半導体チップは、前記実施の形態2で説明したのと同様に、第1の半導体チップ1と同じ構造で、かつ下層側に配置されるものである）を準備した後、第3の半導体チップ26を多数個取り基板7の他のデバイス領域7aに第3の接着材を介して配置する。

【0184】

続いて、前記第3の接着材に熱処理を施して硬化させ、第3の半導体チップ26を前記第3の接着材を介して多数個取り基板7の他のデバイス領域7a上に固定する。

【0185】

さらに、第2の半導体チップ2を準備し、続いて、第2の半導体チップ2をダイボンドフィルム材5などの第2の接着材を介して前記第1の半導体チップ1上に配置する。

【0186】

さらに、第2の半導体チップ2を圧着ヘッドなどの治具によって保持した状態で、前記第2の接着材に熱処理を施して硬化させ、第2の半導体チップ2を前記第2の接着材を介して第1の半導体チップ1上に固定する。

【0187】

その後、前記治具を第2の半導体チップ2から離す。

【0188】

その後、第4の半導体チップ27（ここでの第4の半導体チップ27は、前記実施の形態2で説明した第2の半導体チップ2と同じ構造で、かつ上層側に配置されるものである）を準備し、続いて、第4の半導体チップ27をダイボンドフィルム材5などの第4の接着材を介して前記第3の半導体チップ26上に配置する。

【0189】

さらに、第4の半導体チップ27を圧着ヘッドなどの治具によって保持した状態で、前記第4の接着材に熱処理を施して硬化させ、第4の半導体チップ27を前記第4の接着材を介して第3の半導体チップ26上に固定する。

【0190】

その後、前記治具を第4の半導体チップ27から離す。

【0191】

また、前記実施の形態2では、第1の接着材として、複数の第1NCF12bを、図17に示すように、千鳥配列で配置する場合を説明したが、前記第1の接着材の配列は千鳥配列に限られるものではない。例えば、接着材の特性や、熱圧着工程の設定によって熱圧着ヘッド20による隣接するデバイス領域7aへの熱影響が無視できる場合には、隣接する複数のデバイス領域7aに第1の接着材を予め配置するようにしても問題ないが、あまり多数のデバイス領域7aに第1の接着材を配置すると、ダイボンドステージ21からの熱に長時間さらされることによって、NCF12が熱硬化してしまう場合がある。このような場合には、図33の変形例に示すように、例えば、1列ごとに第1NCF12bの配置を行い、この1列（3つ）の第1NCF12b上への第1の半導体チップ1の搭載を済

ませた後、隣の列に移動して1列ずつ順次、第1 N C F 1 2 bと第1の半導体チップ1の搭載を行うようにしてもよい。

【0192】

また、前記実施の形態1, 2では、半導体装置が、2つの半導体チップを積層したスタック構造のものを説明したが、半導体チップの積層数は、図34の変形例に示すように3層またはそれ以上であってもよい。

【0193】

このように、3層以上半導体チップを積層する場合でも、フェースダウン実装する半導体チップよりフェースアップ実装する半導体チップの厚さを薄くし、かつフェースダウン実装工程の加圧力を大きくすることによって、接続信頼性を低下させずに、また、チップ割れの発生を防ぎつつC S P 2 5の薄形化を実現することができる。

【0194】

なお、図34に示す3層のスタック構造のC S P 2 5では、3段めの半導体チップ24に対して行われるワイヤボンディングは、基板側を1 s t ボンディングとし、チップ側を2 n d ボンディングとしており、これによって、樹脂封止体6の高さを低く抑えてC S P 2 5の高さが高くないようにしている。

【0195】

また、前記実施の形態1では、スタック構造において、下層側の第1の半導体チップ1をロジックチップとし、上層側の第2の半導体チップ2をメモリチップとする場合を説明したが、下層側および上層側の半導体チップの機能については、特に限定されるものではない。

【0196】

また、前記実施の形態2では、半導体装置の組み立てとして、多数個取り基板7を用い、かつ一括モールド方式を採用する場合を説明したが、予め、個々に分割された個片基板3を用いて組み立ててもよく、さらに、多数個取り基板7を用いて、かつ1つのデバイス領域7 aに1つのキャビティ1 3 aが対応した単数モールド方式で組み立ててもよい。

【0197】

また、前記実施の形態 1, 2 では、接着材として、下層側のフリップチップ接続が NCF 12 や ACF などのフィルム状のものを用いて行われ、上層側のダイボンドがダイボンドフィルム材 5 を用いて行われる場合について説明したが、前記接着材は、ペースト状のものなどであってもよい。

【0198】

また、前記実施の形態 1, 2 では、半導体装置が CSP 9, 22, 25 の場合について説明したが、前記半導体装置は、スタック構造で、かつ積層された半導体チップが配線基板に搭載され、さらに、最下層の半導体チップよりその上層の半導体チップの厚さが薄ければ、例えば、BGA (Ball Grid Array) や LGA (Land Grid Array) などの他の半導体装置であってもよい。

【0199】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0200】

スタック構造の半導体装置において、下層側の半導体チップより上層側の半導体チップの厚さを薄くすることにより、半導体装置の薄形化を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 の半導体装置（スタック構造の CSP）の構造の一例を示す断面図である。

【図 2】

図 1 に示す CSP の構造を示す部分断面図である。

【図 3】

図 1 に示す CSP の組み立てにおけるウェハへのダイボンドフィルム貼り付け状態の一例を示す部分断面図である。

【図 4】

図 1 に示す CSP の組み立てにおけるウェハダイシングの一例を示す部分断面

図である。

【図 5】

(a), (b) は図 1 に示す C S P の組み立ての一例を示す部分断面図であり、(a) は第 1 チップマウントを示す図、(b) は第 1 チップ熱圧着を示す図である。

【図 6】

(a), (b) は図 1 に示す C S P の組み立ての一例を示す部分断面図であり、(a) は第 2 チップマウントを示す図、(b) は第 2 チップワイヤボンディングを示す図である。

【図 7】

本発明の実施の形態 2 の半導体装置（スタック構造の C S P）の構造の一例を示す部分断面図である。

【図 8】

図 7 に示す C S P の組み立てにおけるワイヤリング状態の一例を示す拡大平面図である。

【図 9】

(a), (b) は図 7 に示す C S P の組み立ての一例を示す部分断面図であり、(a) は第 1 チップマウントを示す図、(b) は第 1 チップ熱圧着を示す図である。

【図 1 0】

(a), (b) は図 7 に示す C S P の組み立ての一例を示す部分断面図であり、(a) は第 2 チップマウントを示す図、(b) は第 2 チップワイヤボンディングを示す図である。

【図 1 1】

本発明の実施の形態 2 の半導体装置の組み立て手順における全工程の一例を示す製造プロセスフロー図である。

【図 1 2】

本発明の実施の形態 2 の半導体装置の組み立て手順における詳細工程の一例を示す製造プロセスフロー図である。

【図 1 3】

本発明の実施の形態 2 の半導体装置の組み立てにおける多数個取り基板の構造の一例を示す平面図である。

【図 1 4】

(a) , (b) は図 1 3 に示す多数個取り基板の一部を拡大して示す拡大部分図であり、(a) は図 1 3 の A 部の詳細を示す平面図であり、(b) は(a)の裏面側の底面図である。

【図 1 5】

(a) , (b) は本発明の実施の形態 2 の半導体装置の組み立てに用いられる第 1 および第 2 の半導体チップの平面図であり、(a) は第 1 の半導体チップの図、(b) は第 2 の半導体チップの図である。

【図 1 6】

(a) , (b) は図 1 5 に示す第 1 の半導体チップの構造の一例を示す図であり、(a) は拡大部分側面図、(b) は拡大部分平面図である。

【図 1 7】

本発明の実施の形態 2 の半導体装置の組み立てにおける第 1 の N C F 貼り付け工程の一例を示す平面図である。

【図 1 8】

(a) , (b) は図 1 7 に示す第 1 の N C F 貼り付け工程の詳細を示す平面図であり、(a) は N C F 配置前の図、(b) は N C F 貼り付け後の図である。

【図 1 9】

(a) , (b) は図 1 7 に示す第 1 の N C F 貼り付けに対する第 1 の半導体チップの配置状態を示す図であり、(a) は第 1 の半導体チップ配置状態の図、(b) はコレットによる押圧状態を示す図である。

【図 2 0】

(a) , (b) は第 1 の半導体チップのダイボンド方法の一例を示す図であり、(a) は第 1 の半導体チップマウント状態の図、(b) は第 1 の半導体チップ熱圧着後の図である。

【図 2 1】

図 1 7 に示す第 1 の N C F 貼り付けに対する第 1 の半導体チップのダイボンド後の構造の一例を示す平面図である。

【図 2 2】

図 1 7 に示す第 1 の N C F 貼り付けに対する第 2 の N C F 貼り付け後の構造の一例を示す平面図である。

【図 2 3】

(a) , (b) は図 2 2 に示す第 2 の N C F 貼り付けに対する第 1 と第 3 の半導体チップの実装完了構造を示す図であり、(a) は平面図であり、(b) は (a) の B 部の詳細を示す拡大部分平面図である。

【図 2 4】

図 2.2 に示す第 2 の N C F 貼り付けに対する第 2 と第 4 の半導体チップのダイボンド後の構造の一例を示す平面図である。

【図 2 5】

(a) , (b) は第 2 と第 4 の半導体チップのワイヤボンディング後の構造を示す図であり、(a) は平面図であり、(b) は (a) の C 部の詳細を示す拡大部分平面図である。

【図 2 6】

(a) , (b) は第 2 の半導体チップのワイヤボンディング状態の一例を示す平面図であり、(a) はワイヤボンディング前の図、(b) はワイヤボンディング後の図である。

【図 2 7】

(a) , (b) は一括モールドが行われる多数個取り基板の構造の一例を示す平面図であり、(a) は一括モールド前の図、(b) は一括モールド後の図である。

【図 2 8】

本発明の実施の形態 2 の半導体装置の組み立ての一括モールド方法における樹脂流入方向の一例を示す平面図である。

【図 2 9】

(a) , (b) は図 2 8 に示す一括モールド方法の一例を示す図であり、(a

）は図 2 8 の D - D 線に沿った断面の一括モールド時の部分断面図、（b）は図 2 8 の E - E 線に沿った断面の一括モールド時の部分断面図である。

【図 3 0】

図 2 8 に示す一括モールド方法に対する変形例の一括モールド方法における樹脂流入方向の一例を示す平面図である。

【図 3 1】

（a），（b）は図 3 0 に示す変形例の一括モールド方法を示す図であり、（a）は図 3 0 の F - F 線に沿った断面の一括モールド時の部分断面図、（b）は図 3 0 の G - G 線に沿った断面の一括モールド時の部分断面図である。

【図 3 2】

本発明の実施の形態 2 の半導体装置の組み立てにおける一括モールド後の多数個取り基板の構造の一例を示す平面図である。

【図 3 3】

本発明の実施の形態 2 の半導体装置の組み立ての第 1 の N C F 貼り付け工程に対する変形例の第 1 の N C F 貼り付け工程を示す平面図である。

【図 3 4】

図 1 に示すスタック構造の C S P に対する変形例の C S P の構造を示す断面図である。

【符号の説明】

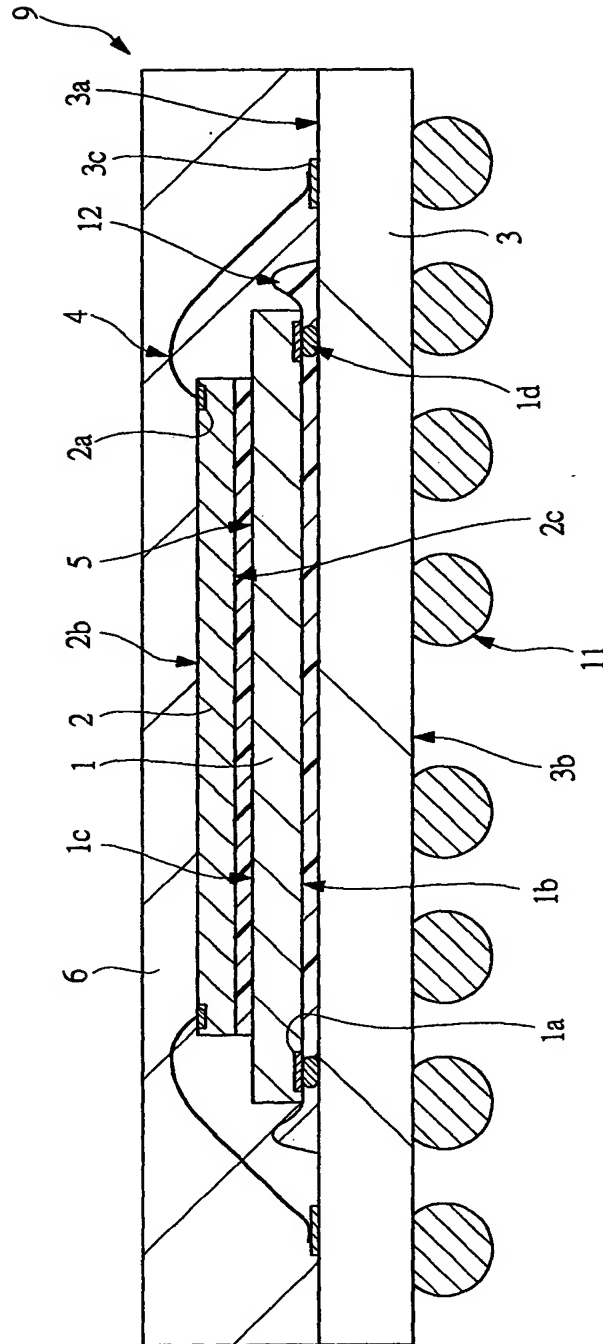
- 1 第 1 の半導体チップ
 - 1 a パッド（電極）
 - 1 b 主面
 - 1 c 裏面
 - 1 d 金バンプ（突起電極）
- 2 第 2 の半導体チップ
 - 2 a パッド（電極）
 - 2 b 主面
 - 2 c 裏面
- 3 個片基板（配線基板）

- 3 a チップ支持面（主面）
- 3 b 裏面（反対側の面）
- 3 c 接続端子（電極）
- 3 d バンプランド
- 3 e 第1接続端子（第1の電極）
- 3 f 第2接続端子（第2の電極）
- 4 ワイヤ
- 5 ダイボンドフィルム材（接着材）
- 6 樹脂封止体
- 7 多数個取り基板（配線基板）
- 7 a デバイス領域
- 7 b ダイシングライン
- 7 c 金メッキ部
- 8 一括モールド部
- 8 a 樹脂ゲート部
- 9 CSP（半導体装置）
- 10 ダイシングブレード
- 11 半田ボール（外部電極）
- 12 NCF（接着材）
- 12 a 平坦部
- 12 b 第1NCF（第1の接着材）
- 12 c 第2NCF（第2の接着材）
- 13 モールド金型（金型）
- 13 a キャビティ
- 13 b 第1の側面
- 13 c 第2の側面
- 13 d 第3の側面
- 13 e 第4の側面
- 13 f 樹脂注入口

- 1 3 g 空気孔
- 1 3 h 上型
- 1 3 i 下型
- 1 3 j 上面
- 1 3 k 下面
- 1 4 ローラ
- 1 5 保護シート
- 1 6 ダイシングテープ
- 1 7 半導体ウェハ
- 1 7 a 主面
- 1 7 b 裏面
- 1 8 ステージ
- 1 9 固定リング
- 2 0 熱圧着ヘッド
- 2 1 ダイボンドステージ
- 2 2 C S P (半導体装置)
- 2 3 レジンの流れ
- 2 4 3 段めの半導体チップ
- 2 5 C S P (半導体装置)
- 2 6 第 3 の半導体チップ
- 2 7 第 4 の半導体チップ

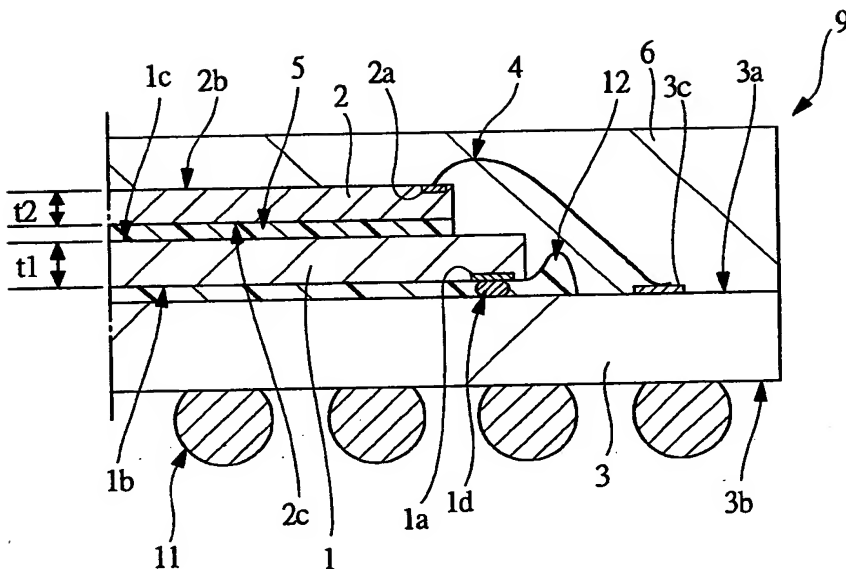
【書類名】 図面
【図 1】

図 1



【図 2】

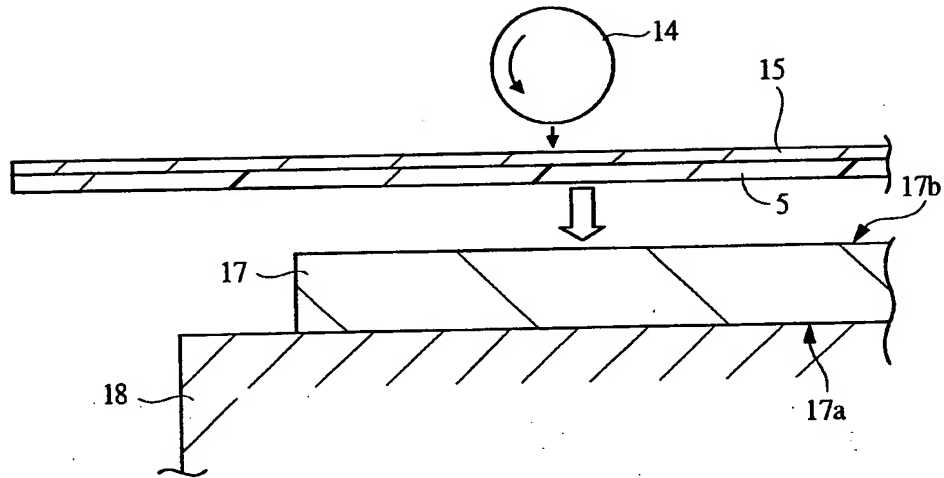
図 2



- | | |
|-----------------|---------------------|
| 1 : 第1の半導体チップ | 3 : 個片基板(配線基板) |
| 1a : パッド(電極) | 3a : チップ支持面(主面) |
| 1b : 主面 | 3b : 裏面(反対側の面) |
| 1c : 裏面 | 3c : 接続端子(電極) |
| 1d : 金バンプ(突起電極) | 4 : ワイヤ |
| 2 : 第2の半導体チップ | 5 : ダイボンドフィルム材(接着材) |
| 2a : パッド(電極) | 6 : 樹脂封止体 |
| 2b : 主面 | 9 : CSP(半導体装置) |
| 2c : 裏面 | 11 : 半田ボール(外部電極) |
| | 12 : NCF(接着材) |

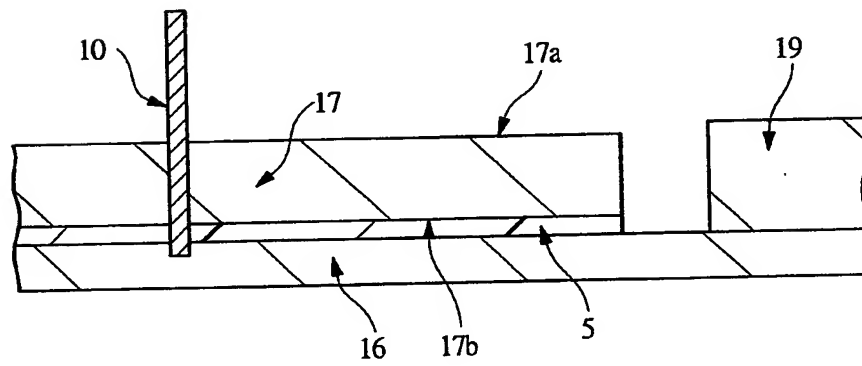
【図 3】

図 3



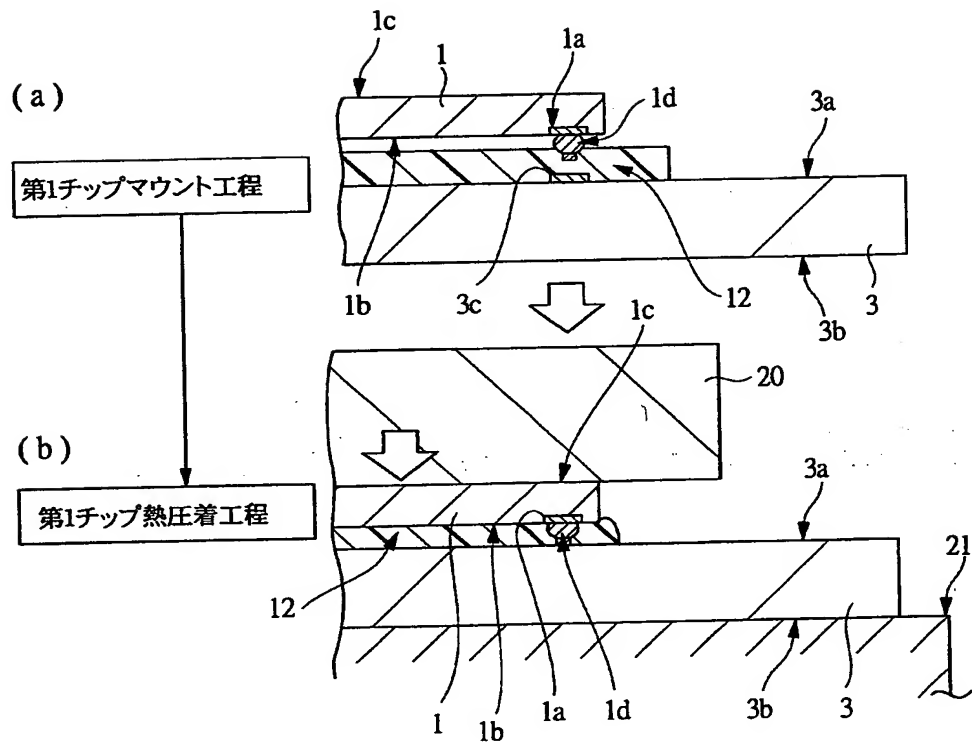
【図 4】

図 4



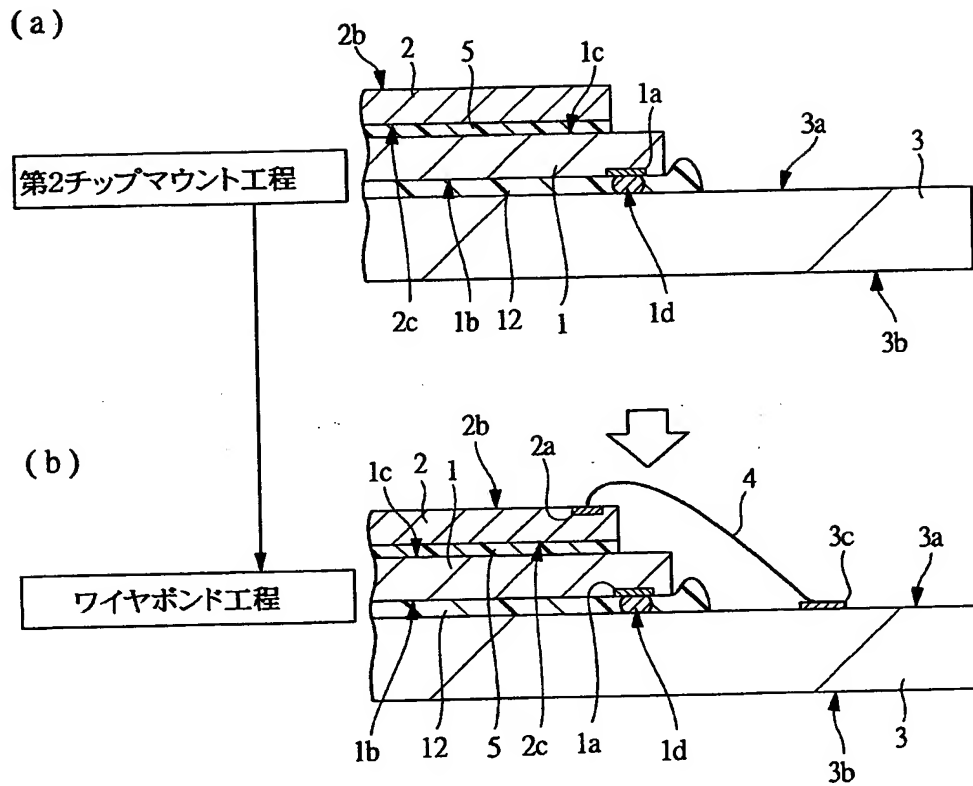
【図5】

図 5



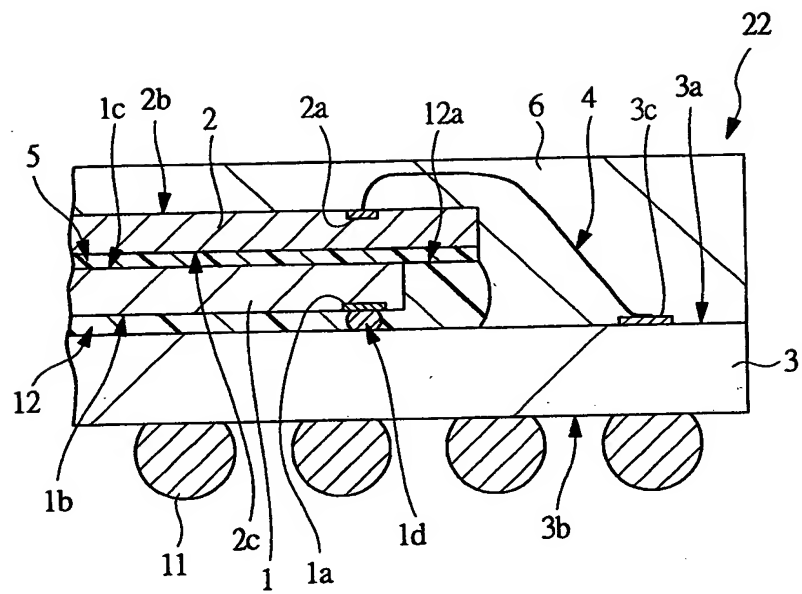
【図 6】

図 6



【図7】

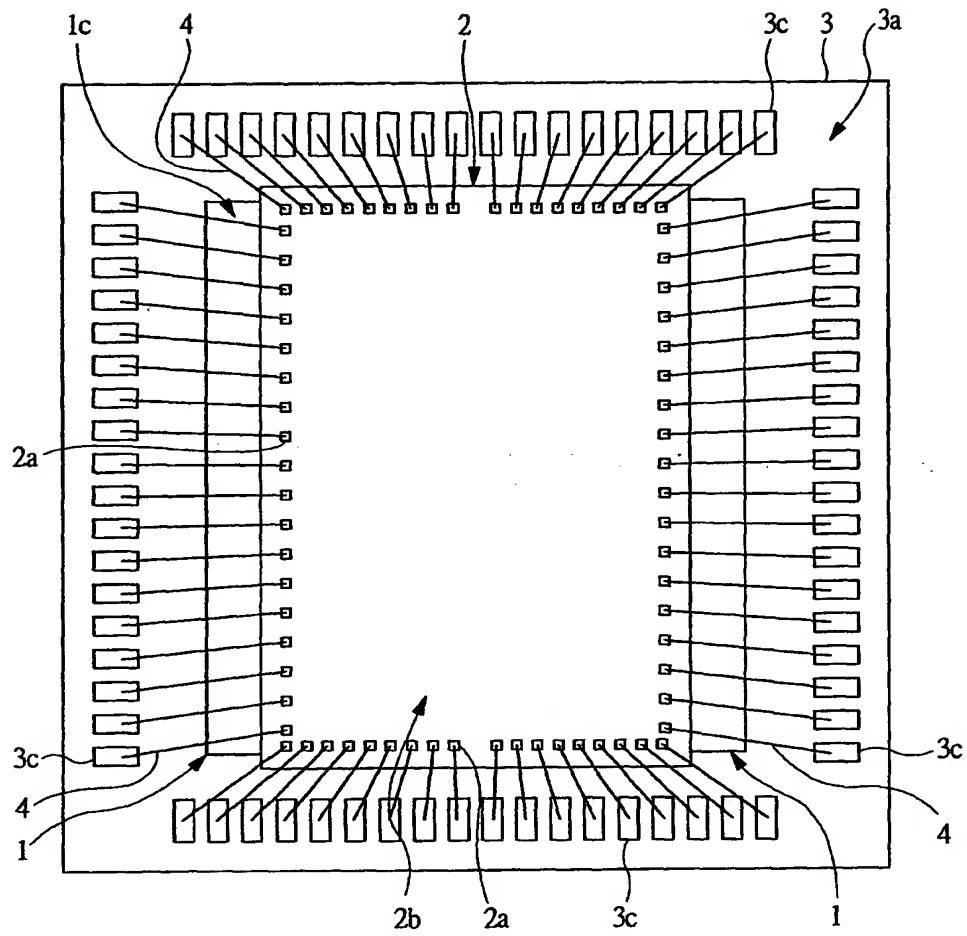
7



22 : CSP(半導体装置)

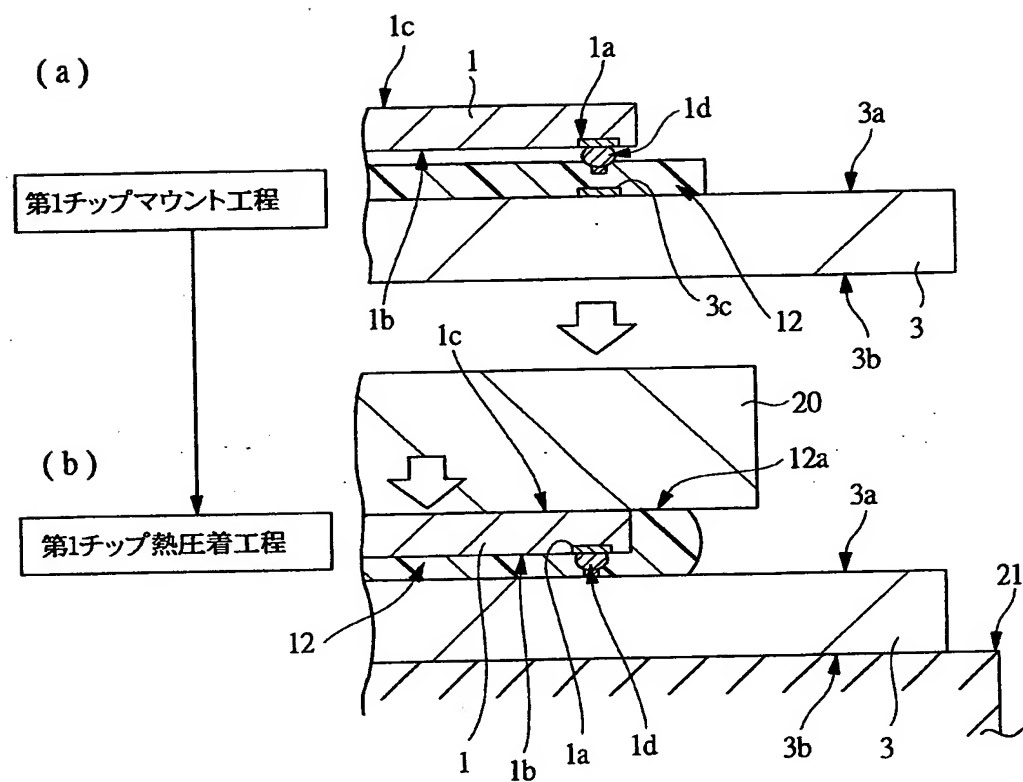
【図 8】

図 8



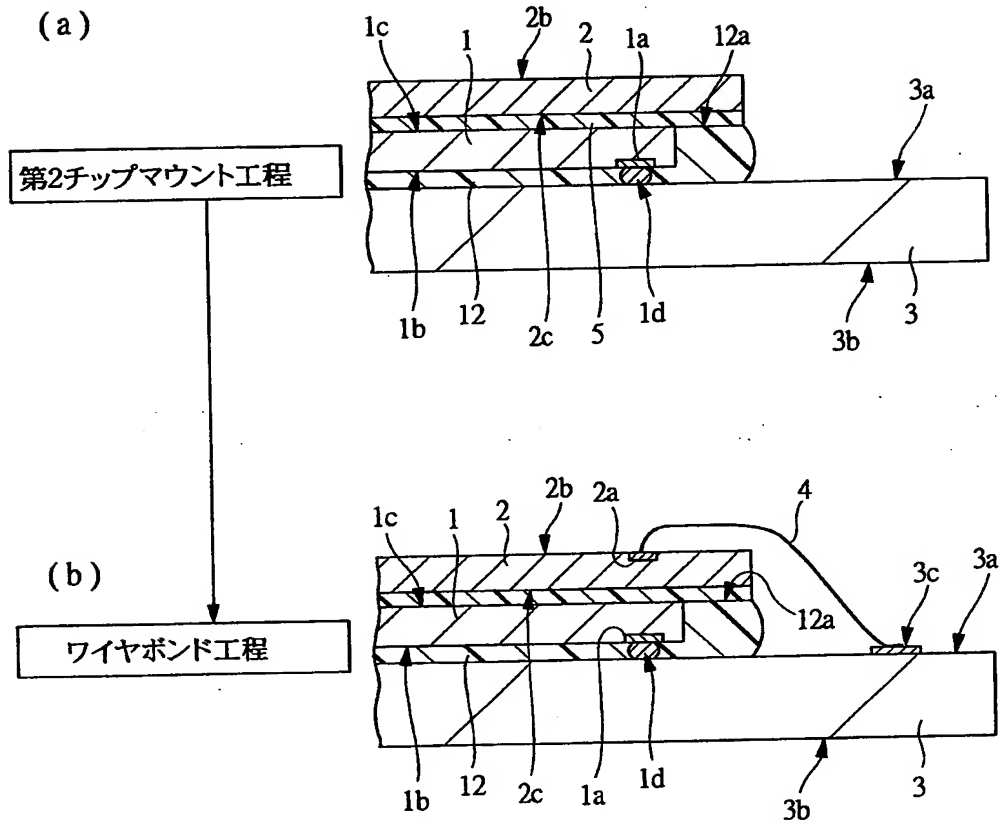
【図9】

図 9



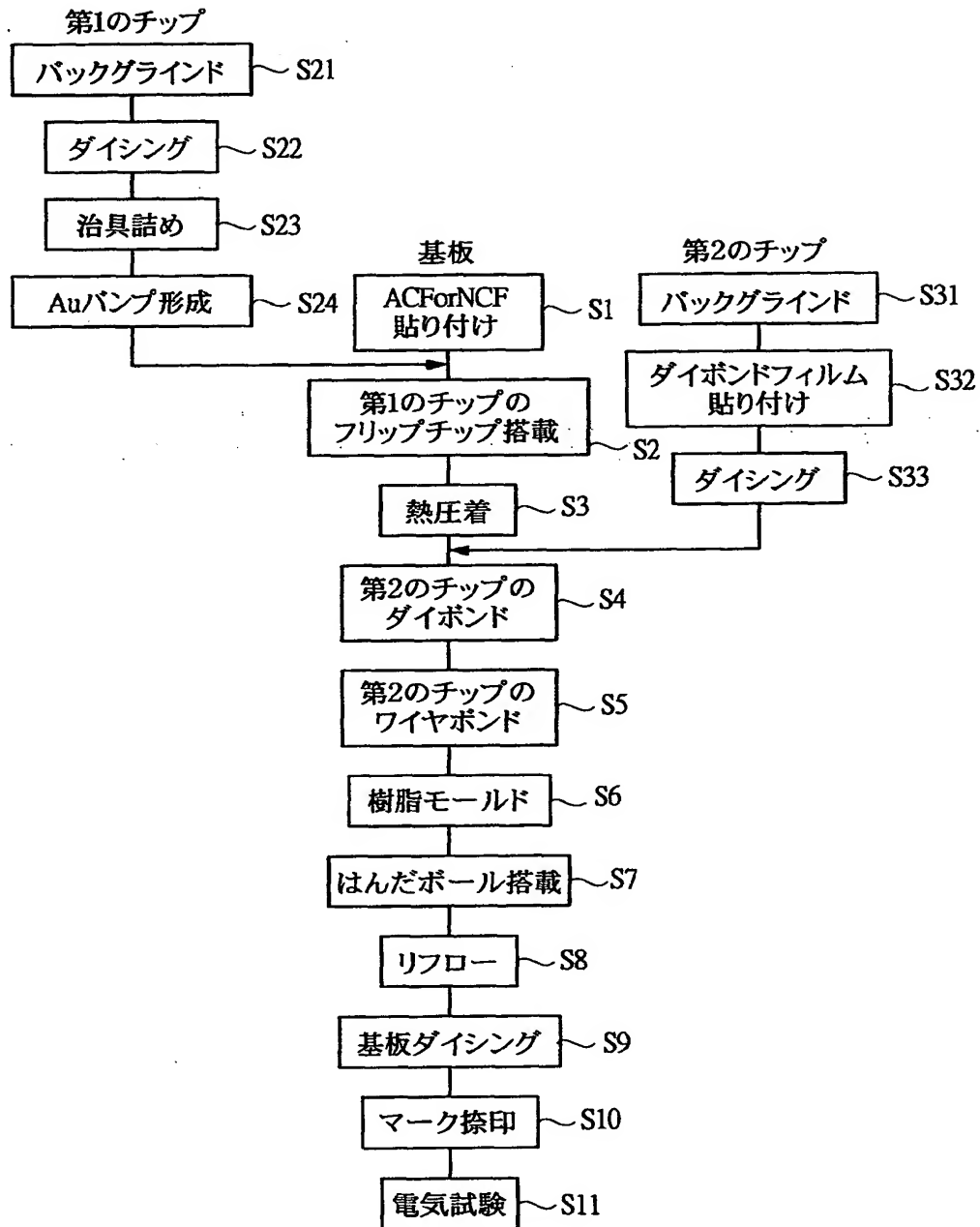
【図10】

図 10



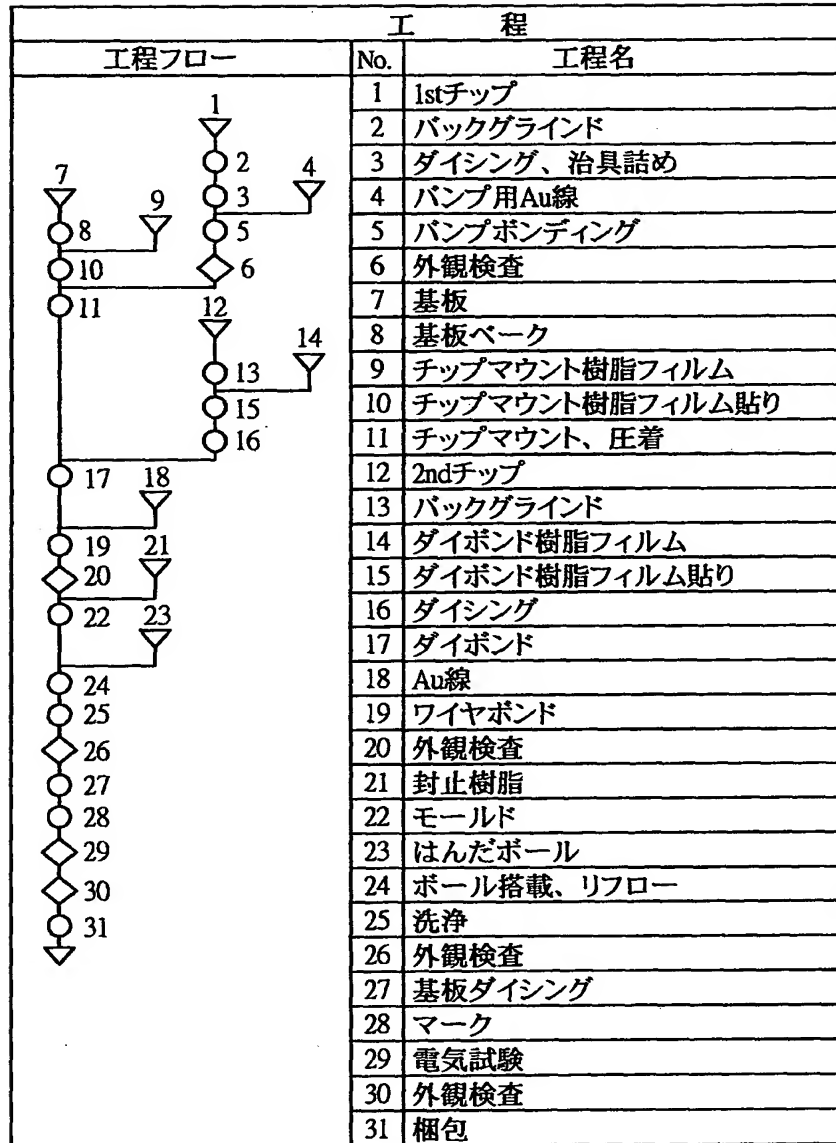
【図 11】

図 11



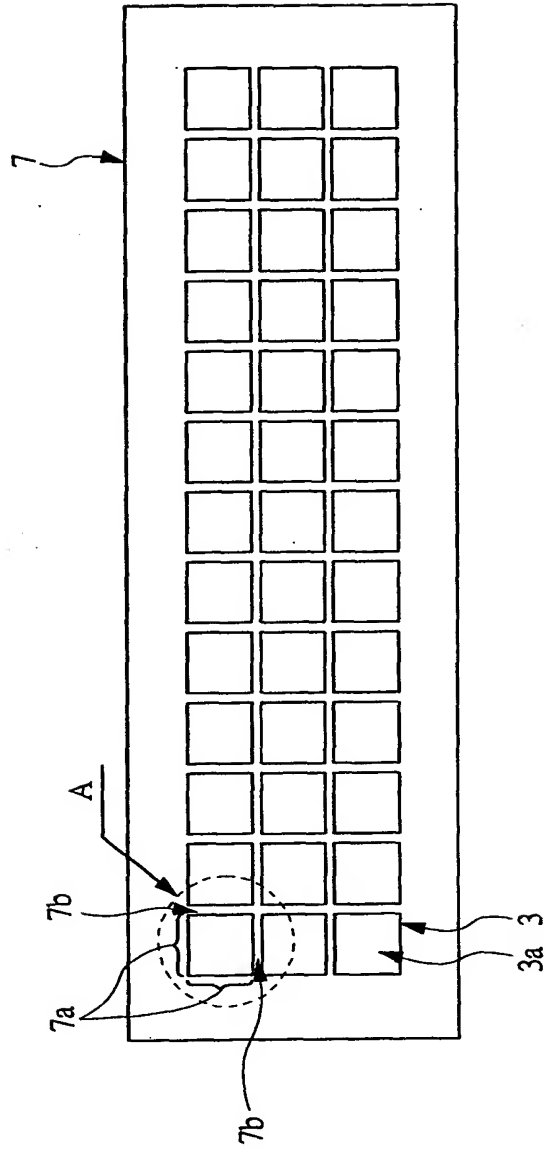
【図12】

図 12



【図 1 3】

図 13

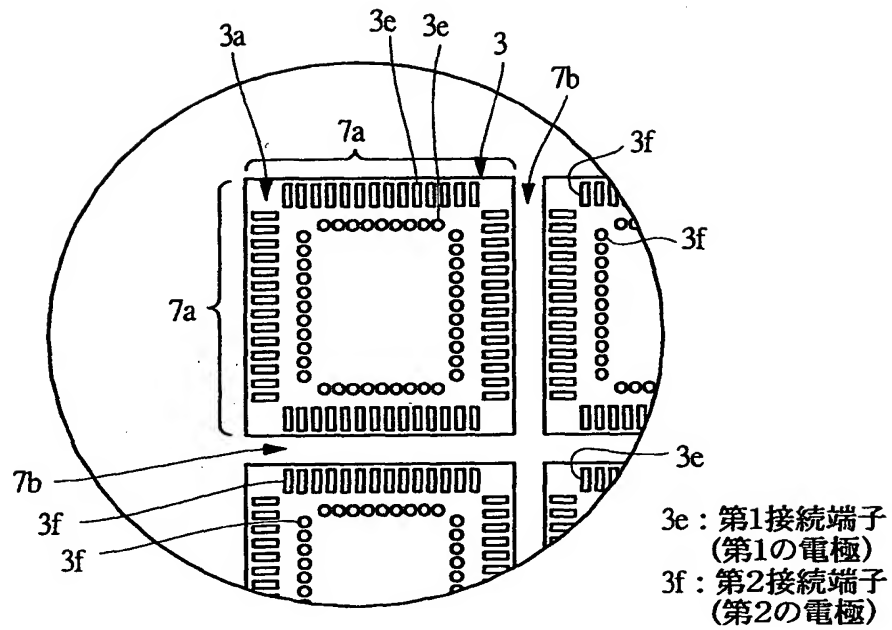


7: 多数個取り基板(配線基板)
7a: デバイス領域

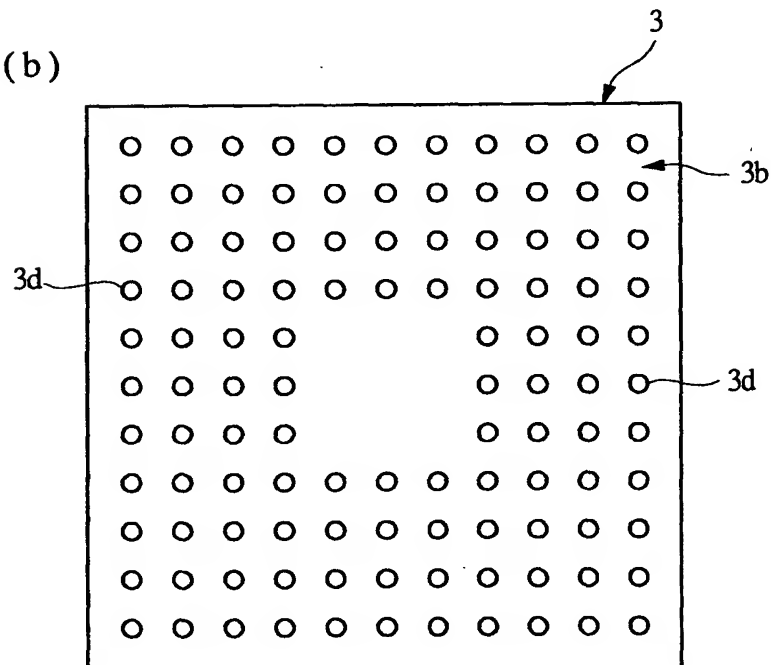
【図14】

図 14

(a)

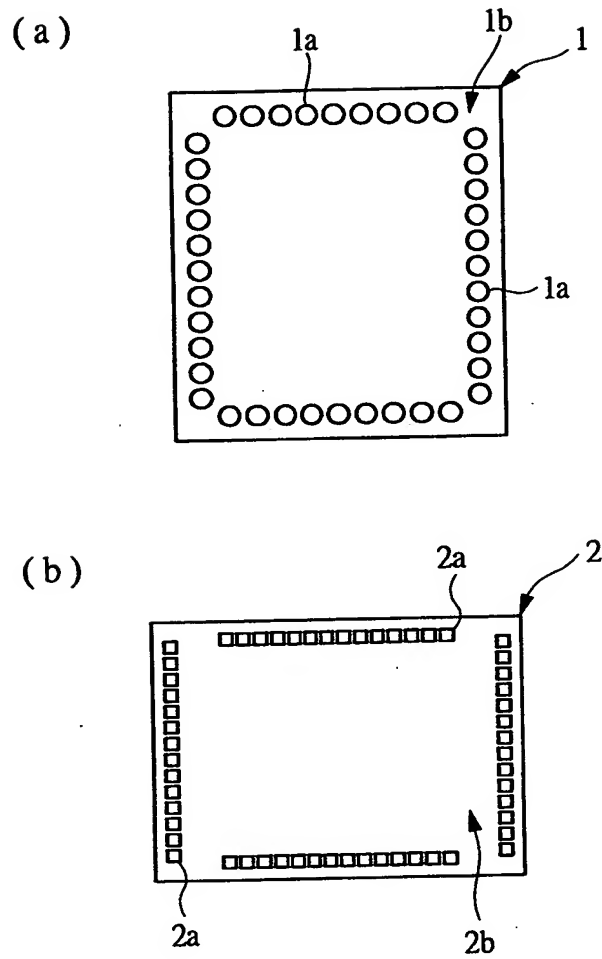


(b)



【図 1 5】

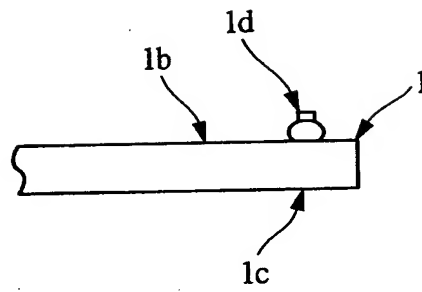
図 15



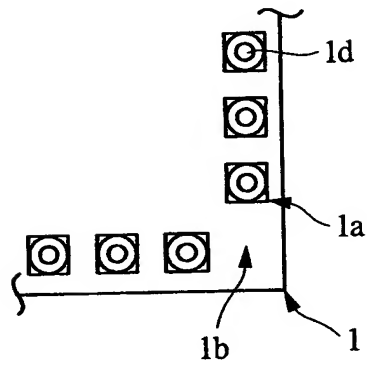
【図 1 6】

図 16

(a)

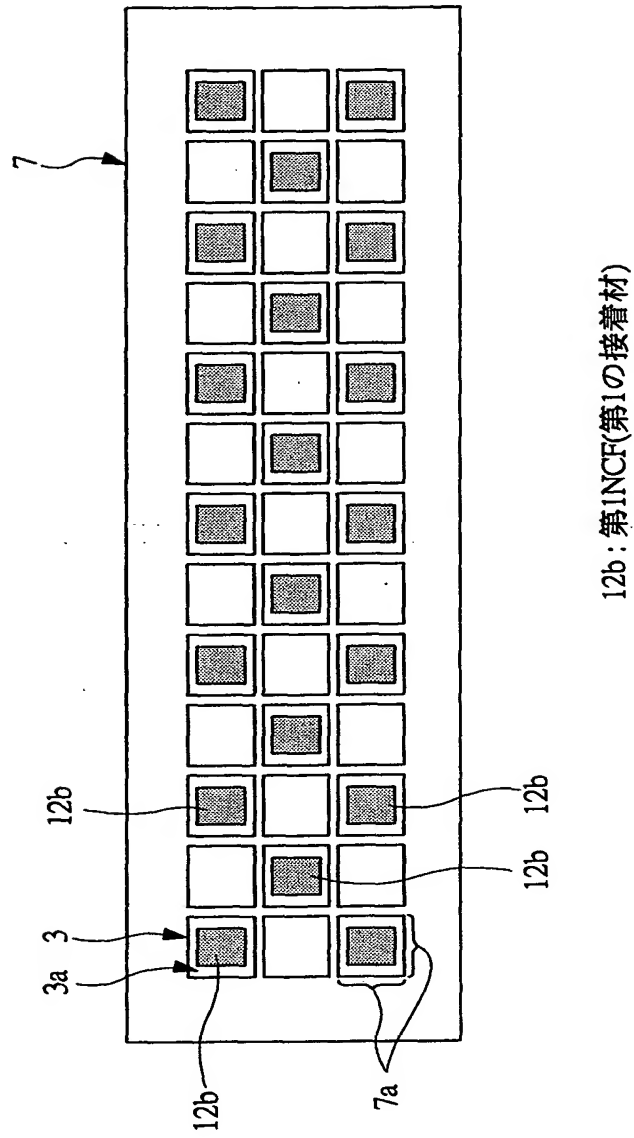


(b)



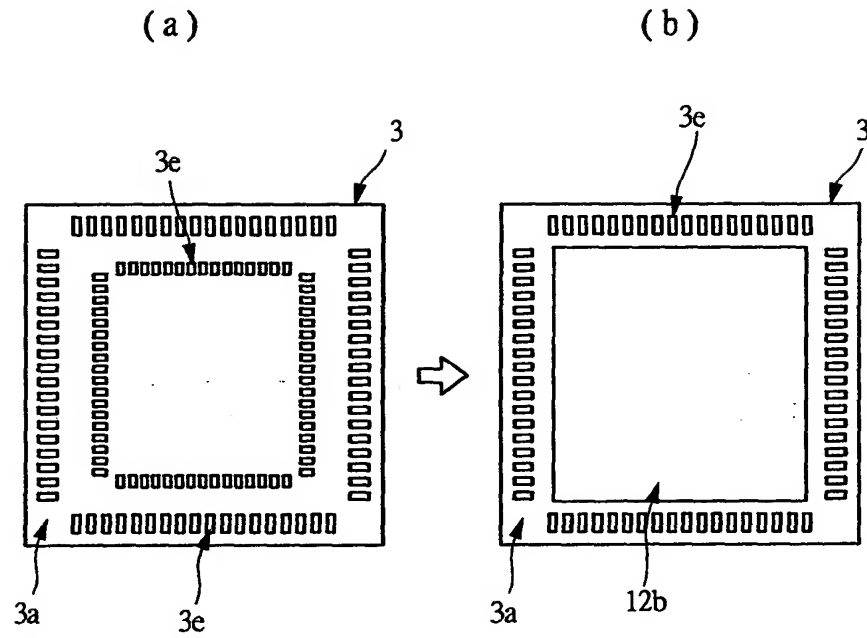
【図 17】

図 17



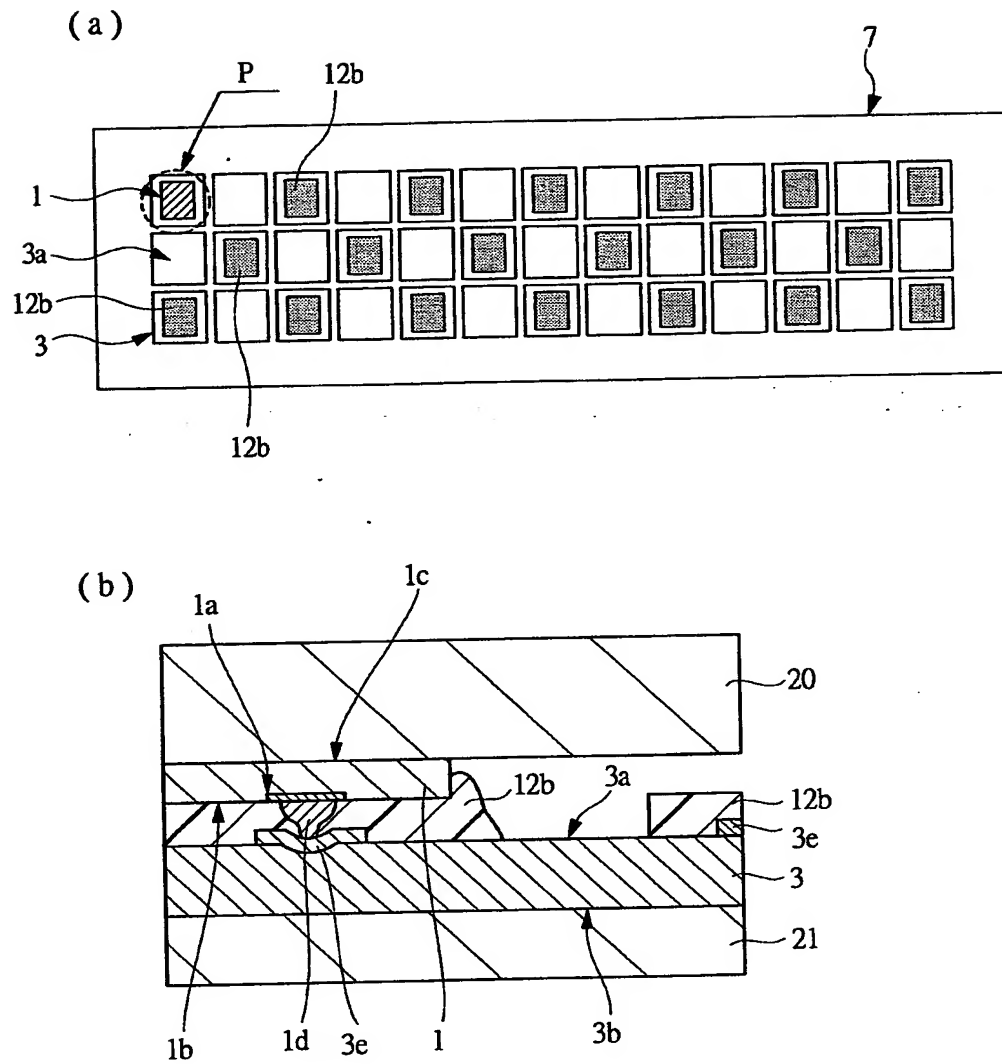
【図 18】

図 18



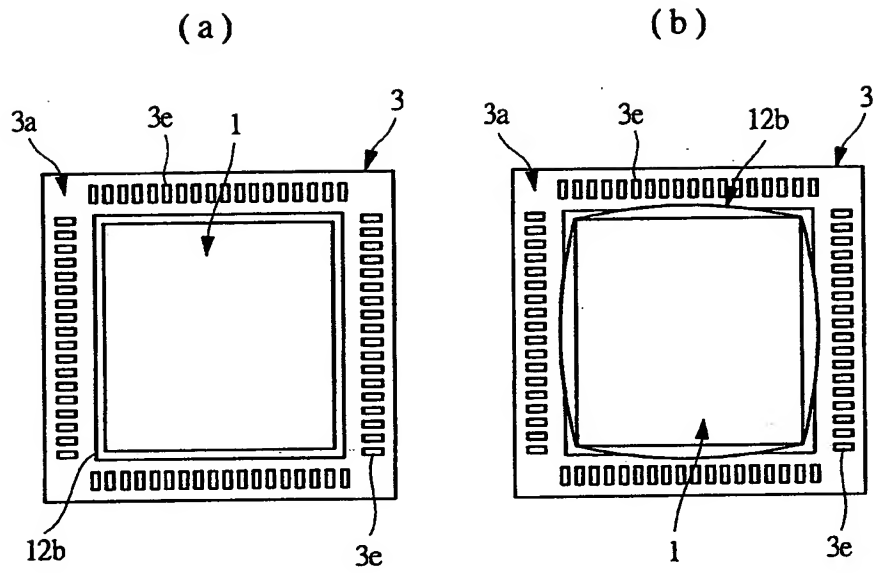
【図 19】

図 19



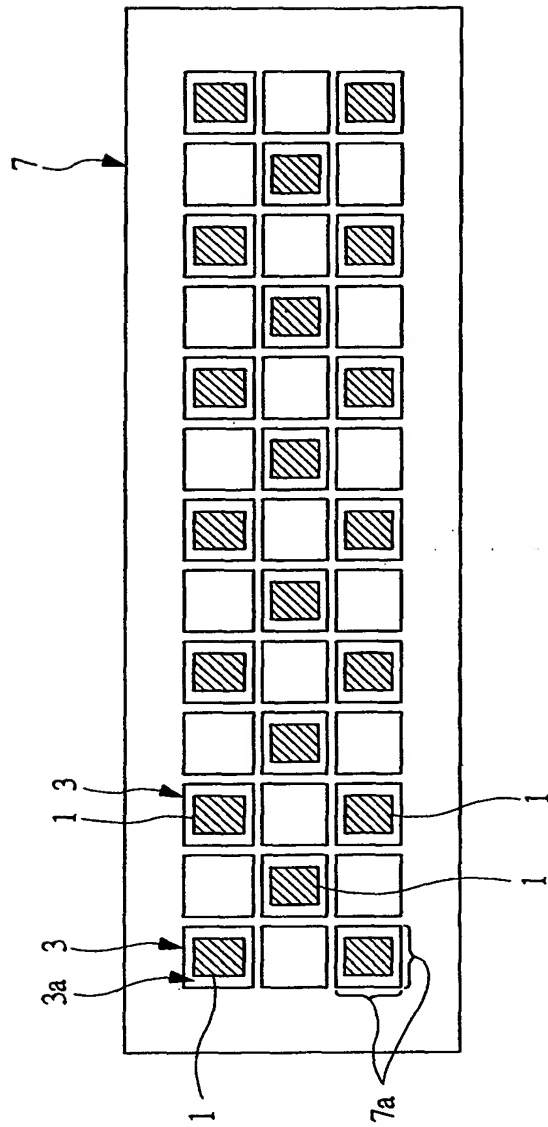
【図 2 0】

図 20



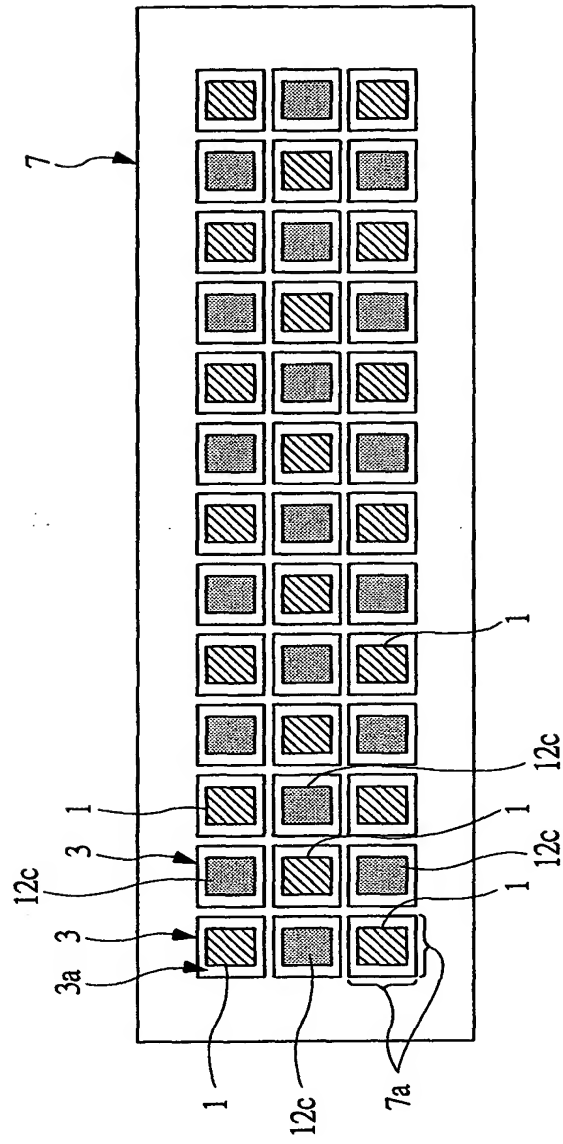
【図 21】

図 21



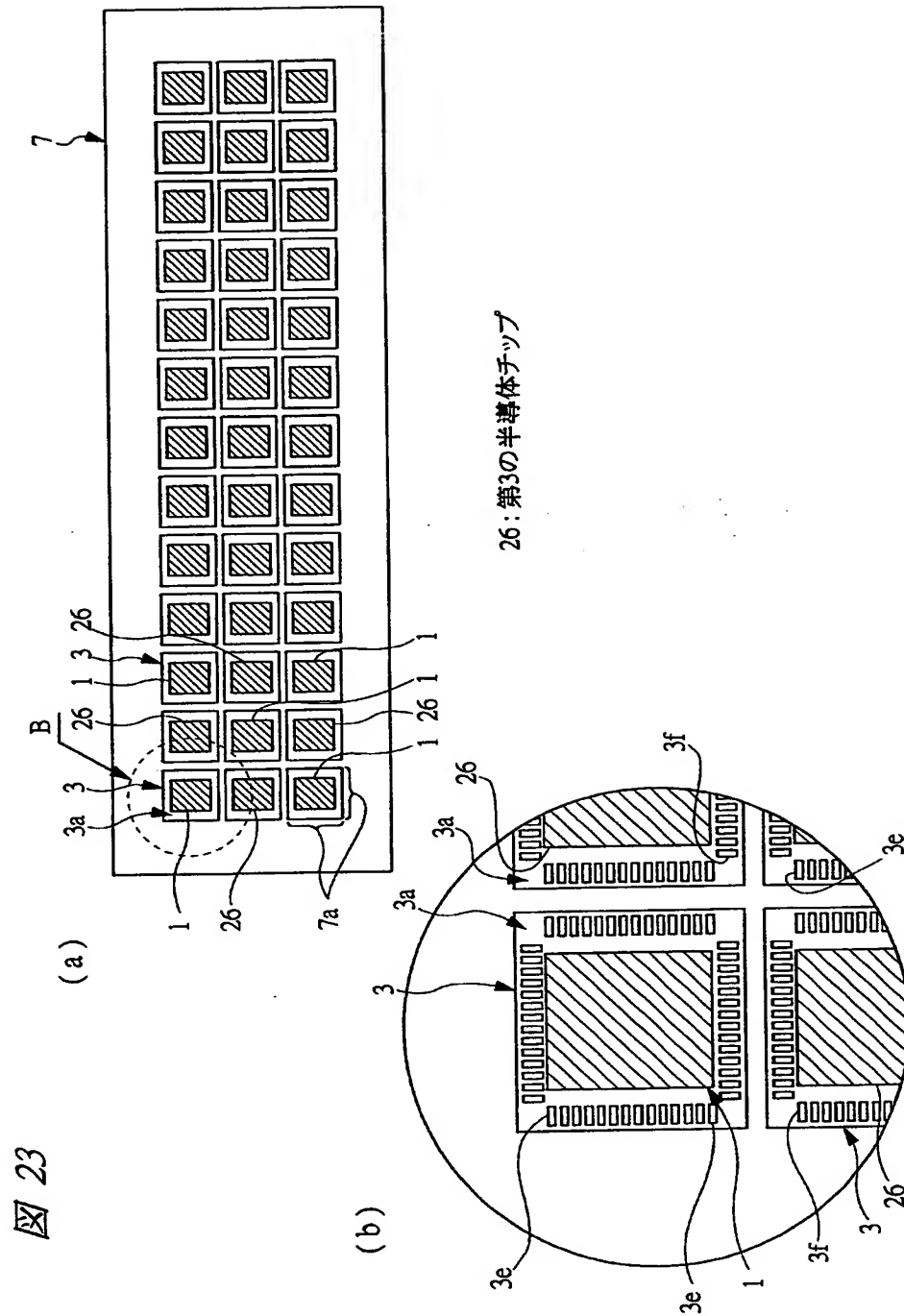
【図 22】

図 22



12c: 第2NCF(第2の接着材)

【図23】

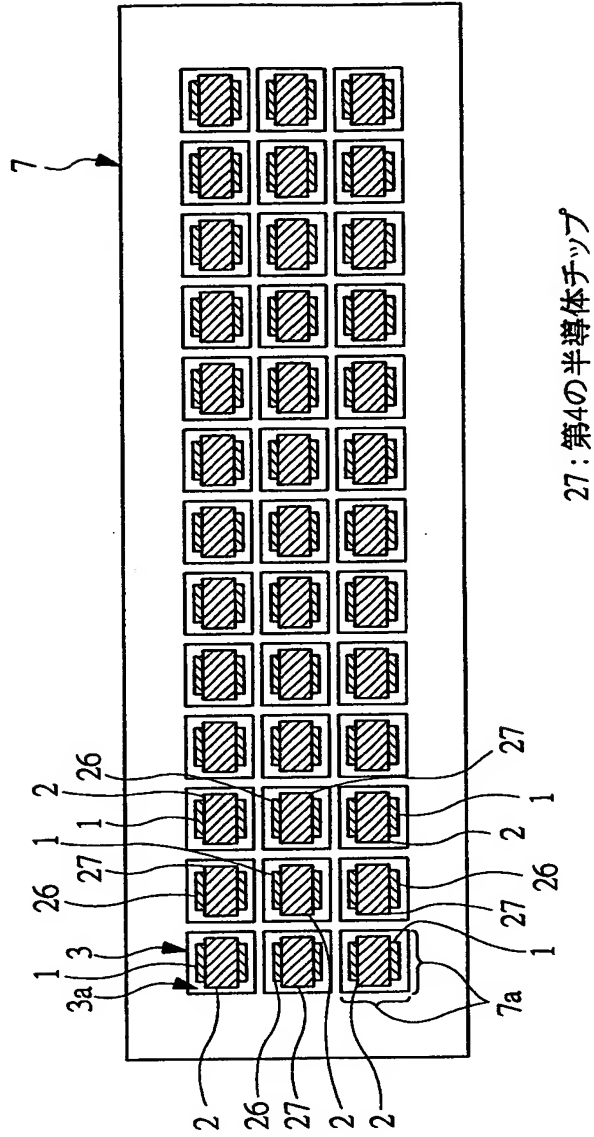


26: 第3の半導体チップ

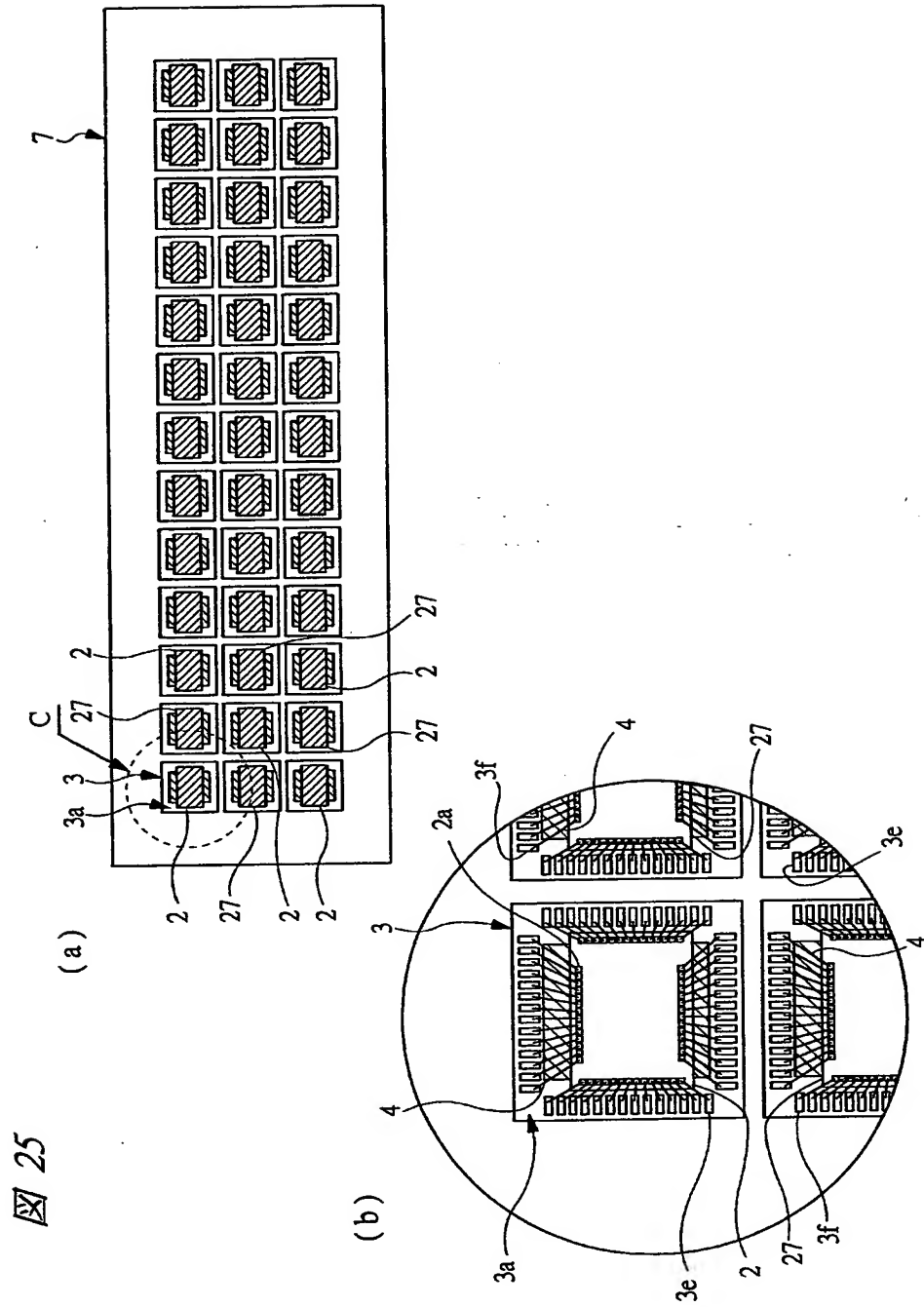
図 23

【図 2 4】

図 24

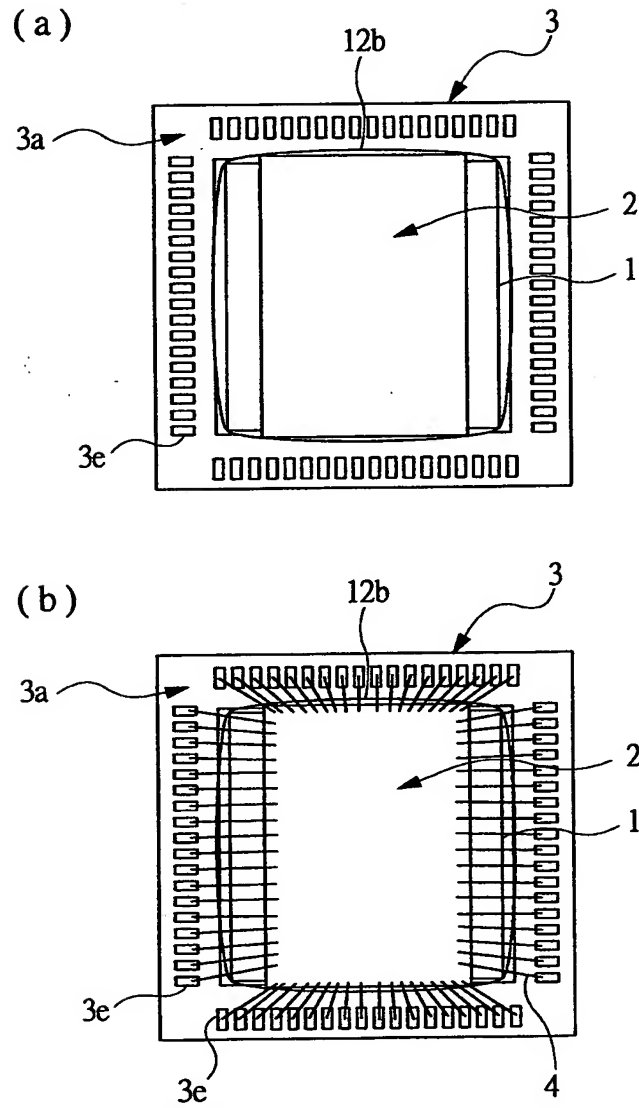


【図 2 5】



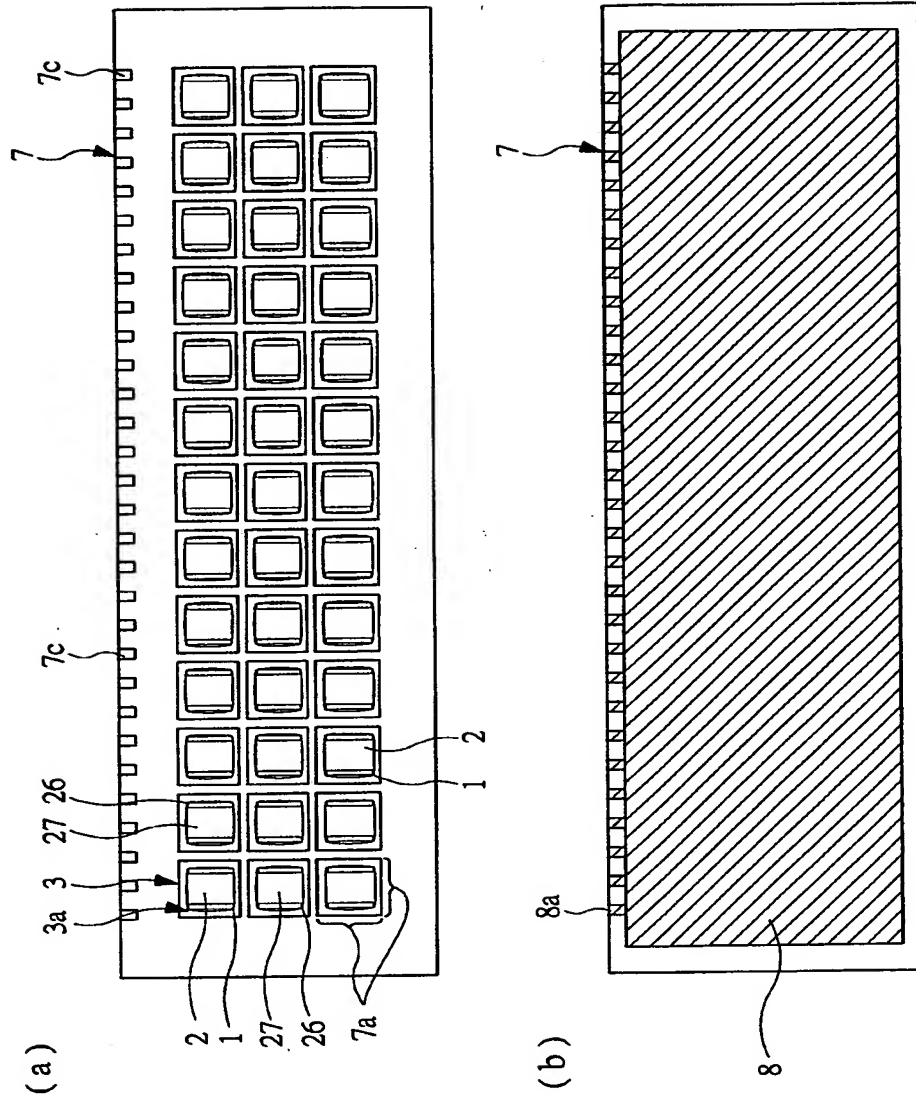
【図 26】

図 26



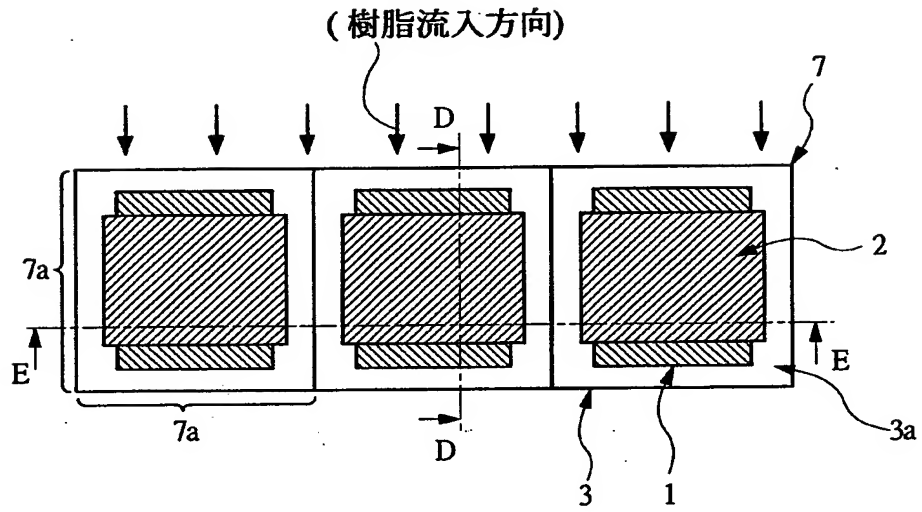
【図 27】

図 27



【図 2 8】

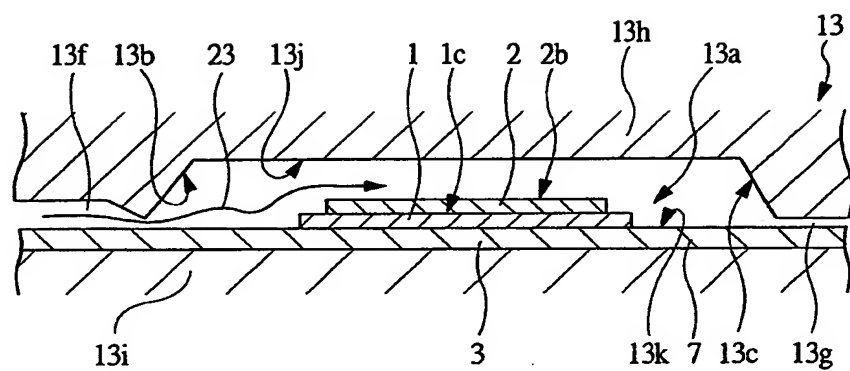
図 28



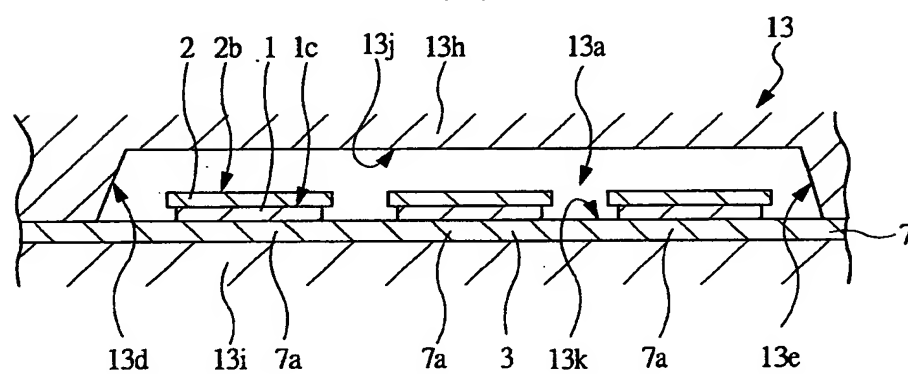
【圖 29】

图 29

(a)



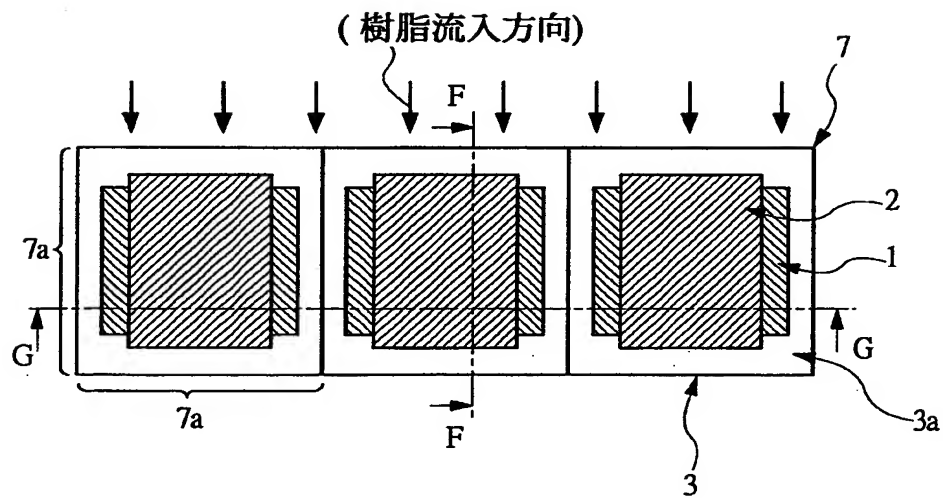
(b)



13: モールド金型(金型)	13g: 空気孔
13a: キャビティ	13h: 上型
13b: 第1の側面	13i: 下型
13c: 第2の側面	13j: 上面
13d: 第3の側面	13k: 下面
13e: 第4の側面	
13f: 樹脂注入口	

【图 30】

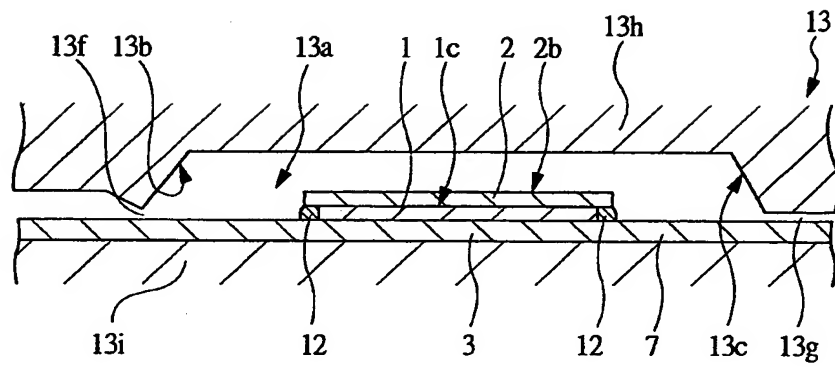
図 30



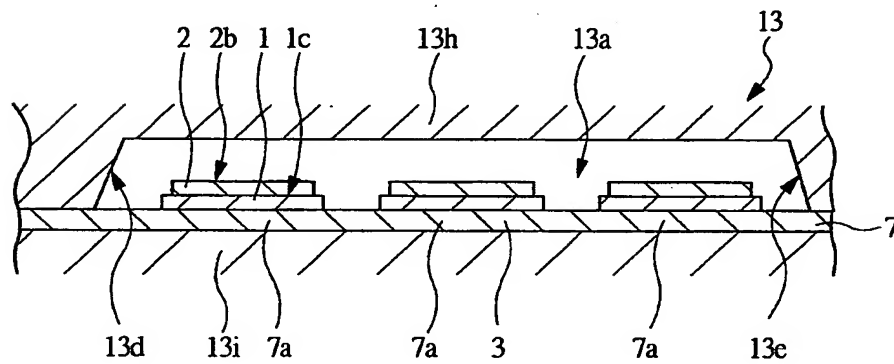
【図 31】

図 31

(a)

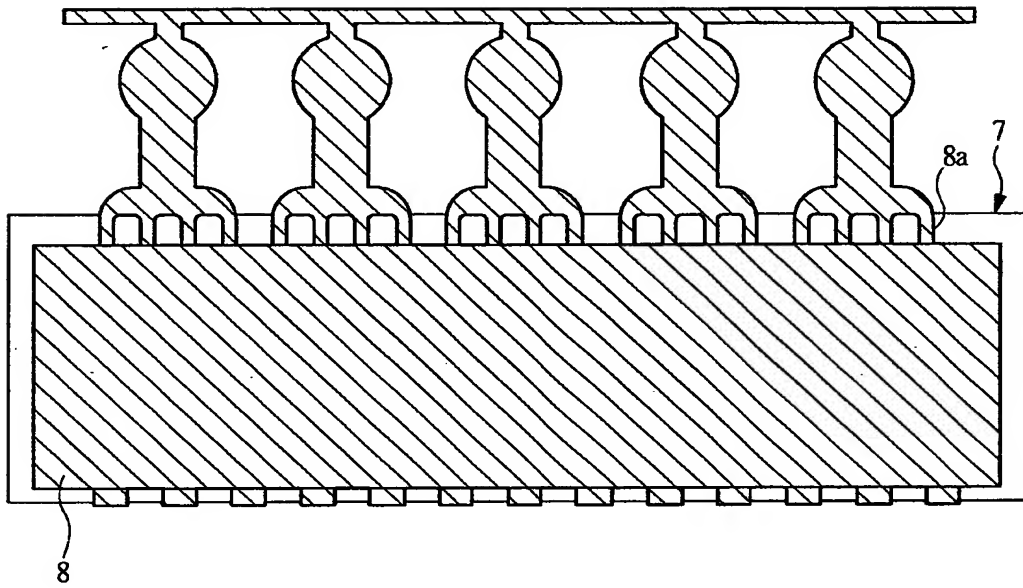


(b)



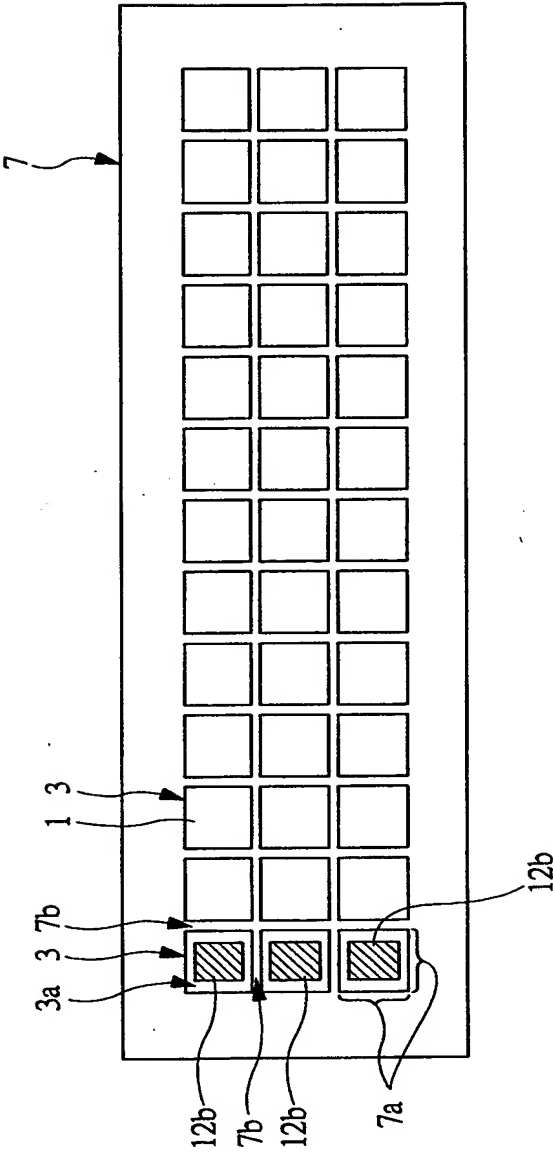
【図32】

図 32

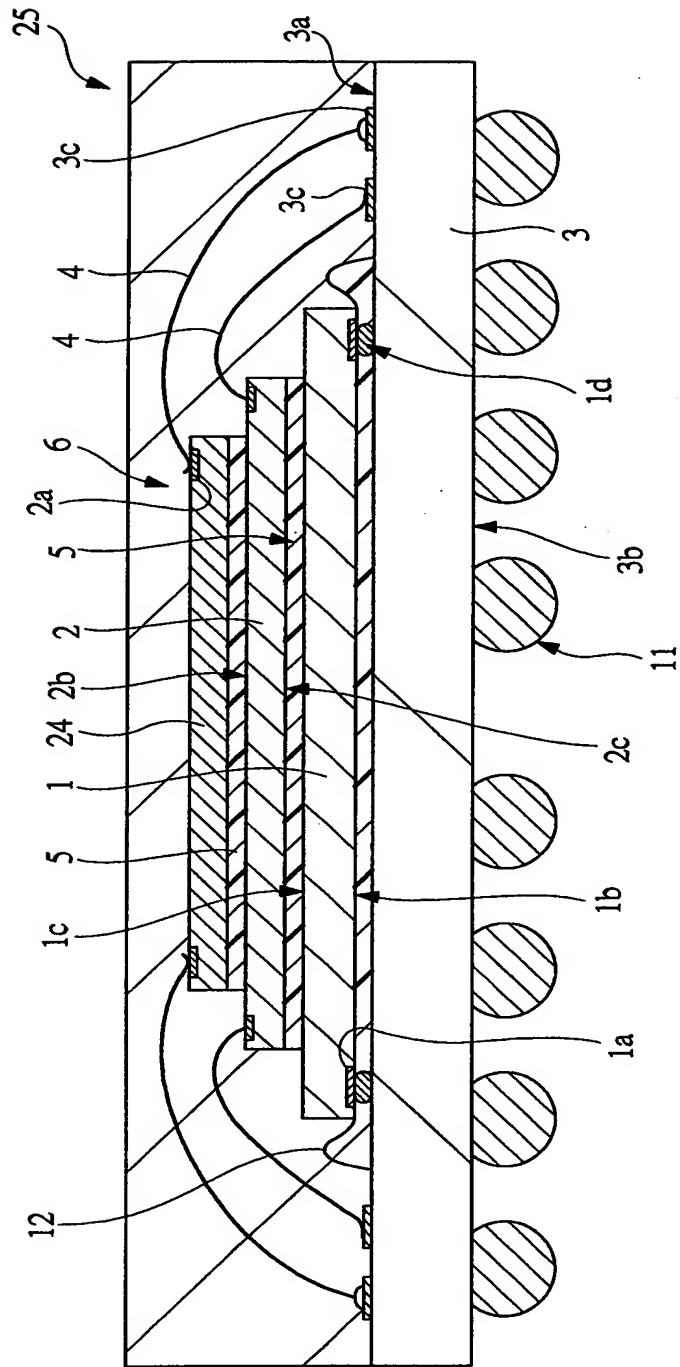


【図 3 3】

図 33



【図 3 4】



25: CSP(半導體裝置)

【書類名】 要約書

【要約】

【課題】 スタック構造の半導体装置の薄形化を図る。

【解決手段】 チップ支持面 3 a 上に複数の接続端子 3 c を有し、かつ裏面 3 b 上に複数の半田ボール 1 1 を有する個片基板 3 と、主面 1 b および裏面 1 c を有し、かつ主面 1 b 上に複数のパッド 1 a と複数の半導体素子とを有する第 1 の半導体チップ 1 と、主面 2 b および裏面 2 c を有し、かつ主面 2 b 上に複数のパッド 2 a と複数の半導体素子とを有するとともに、第 1 の半導体チップ 1 より厚さの薄い第 2 の半導体チップ 2 と、個片基板 3 のチップ支持面 3 a 上に形成され、かつ第 1 の半導体チップ 1 および第 2 の半導体チップ 2 を封止する樹脂封止体 6 と、第 2 の半導体チップ 2 のパッド 2 a とこれに対応する個片基板 3 の接続端子 3 c とを接続するワイヤ 4 とからなり、第 1 の半導体チップ 1 より第 2 の半導体チップ 2 を薄くしてスタック構造の薄形化を図る。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233594]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 北海道亀田郡七飯町字中島145番地

氏 名 日立北海セミコンダクタ株式会社